

各种倒装凸点结构的电迁移可靠性及电流承载能力

Christopher J. Berry¹, 邹毅达², 林伟¹

(1. 安靠封装测试, 美国; 2. 安靠封装测试, 上海)

摘要: 随着倒装凸点中的无铅化, 以及 I/O 密度不断提高, 凸点间距和大小不断减小, 倒装凸点由于电迁移引起的失效越来越成为一个主要的可靠性问题。本文论述了对铜柱 (Cu Pillar), 高铅 (high Pb), 锡铅 (SnPb), 无铅 (SnAg) 等倒装凸点的电迁移研究结果。我们设计了一个特别的测试样品用于直接比较各种不同的凸点结构, 并在三种不同的电流量和温度下测试, 数据用于推导 Black 公式中的参数。已完成的 19000 小时的测试数据表明铜柱的可靠性在 4 种结构中最好, 随后依次为 SnAg, SnPb, High Pb。本文详述了测试数据, 失效分析, 以及在某些结构中 Black 公式中参数的估算。本文也提供了一个在实际使用条件下假定寿命和特定失效率时, 预算倒装凸点的电流承载能力的方法。

关键词: 电迁移; 倒装; 可靠性; 微间距; 电流承载能力

Electromigration Reliability and Current Carrying Capacity for Various Flip Chip Bumps

Christopher J. Berry¹, ZOU Yida², LIN Wei¹

Amkor Technology, Inc.

(1. 1900 South Price Road, Chandler, AZ85286, USA;

2. No. 111 Yinglun Road, Waigaoqiao Free Trade Zone, Pudong, Shanghai 200131, China)

Abstract: Failures due to Electromigration (EM) in flip-chip bumps have emerged as a major reliability concern due to potential elimination of Pb from flip-chip bumps and a continuous drive to increased I/O density resulting in a reduction of bump pitch and size. This paper presents the results of multiple EM studies on Cu Pillar, High Pb, SnAg, eutectic SnPb Flip Chip bumps. A special test vehicle was designed to get a head-to-head comparison of Cu Pillar EM with that of solder bumps. Tests were conducted using three current levels and three temperatures to estimate Black's Equation parameters. More than 19000 hours of testing was completed on flip chip solder bump and Cu

Pillar, showing Cu Pillars as having the best reliability amongst the four bump metallurgies. The worst reliability was observed for High Pb bumps followed by eutectic SnPb and SnAg bumps. The paper provides the detailed test matrix, failure data, failure analysis, and an estimation of Black's Equation parameters for some of the above configurations on test. Also, the paper presents a method to predict flip chip bump current carrying capacity for a given EM lifetime at a specific failure rate.

Key words: electromigration; Flip Chip; Reliability; fine pitch; current carrying capacity

1 简介

Black 首先在 1967 年对电迁移 (EM) 进行了深入研究^[1]。在直流电的作用下,电子由导体的负极向正极移动,其动能也推动了金属原子从负极向正极的移动,而空穴却移向负极。这种运动的结果是,压缩应力在导体的正极产生,而导体负极附近产生拉伸应力。这样就导致了两种失效机制,一种是在压缩应力区域因为金属原子聚集而形成的凸状体,可能导致与邻近导体的短路。另一种失效发生于拉伸应力区域,因为空穴的产生和扩大,造成断路。导体形状和材料的变化发生于导体的端部,所以压缩和拉伸应力区域也形成于此^[2,3]。图 1 描述了互联导体在电流作用下的电迁移现象。

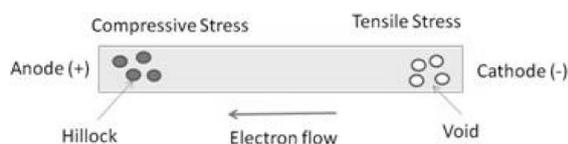


图 1 电迁移现象和对互联线的破坏

计算、移动和通信领域电子产品功能和性能发展迅猛,这意味着在更小尺寸的产品中,要求更高的互联密度和更大的功率应用,从而使得电迁移失效问题日益突出。有可能失效于电迁移现象的封装互联方式有倒装凸点 (flip chip bump), 晶圆级芯片尺寸封装 (WLCSP) 的重新布线 (RDL), WLCSP 的球栅阵列 (BGA), 穿硅孔的微通孔等。为了保证高速数据传输的电气性能, flip chip 封装技术被广泛应用, 各类 flip chip (FC) 中的电迁移失效也得到了广泛分析和研究^[4-9]。

电迁移可靠性直接与互联点的尺寸和材料结构

有关。新开发的封装互联技术必须经过电迁移特性实验,以确定在预期失效率和产品设计寿命下,互联点的电流承载能力。通常,电迁移实验采用高于正常使用条件的电流值和温度值,以此研究各种互联点的失效模式,并导出所需的计算公式中的常数。

虽然全球电子工业标准 (JEDEC) 对 flip chip 凸点的电迁移特性实验有指导性文档^[10],但它对具体的 EM 实验没有足够的说明。本文将描述几个 EM 特性实验装置,并推荐了合理的 EM 实验方法。文章还讨论了影响实验结果主要因素,并提出预测各类典型 flip chip 凸点电流承载能力的方法。

2 实验设计和数据采集

电迁移实验的目的是确定互联点的电流承载能力,从而可以针对真实使用条件,设计可靠的互联点。正确选择实验设置和数据采集方法是十分重要的。在 EM 实验中,需要应用加速实验条件,即较高电流和温度值。根据特定的失效标准,测试结构的电阻值被持续监测,直至失效。失效数据被用于确定 Black 公式 (公式 1) 中的常数,从而得到相应电流密度和温度的平均失效时间。

$$MTTF = AJ^{-n} \exp(Ea/KT) \quad (1)$$

这里,

MTTF = 平均失效时间 (Hours)

J = 电流密度 (Amps/cm²)

T = 温度 (K)

n = 电流密度系数

Ea = 激活能量, eV

$K = \text{Boltzmann 常数}, 8.62e - 5 \text{ eV/K}$

$A = \text{常数}$

一旦计算出平均失效时间, 就可以用对数正态分布和 Black 公式的常数算出这种互联点在特定使用寿命和失效率下的电流承载能力。一个典型的案例假设 0.1%失效率和 10 年使用寿命。公式 2 表示, 在 EM 实验条件下, 0.1%失效率时的样品寿命。

$$t_{0.1\%} = MTTF \exp(-3.09\sigma) \quad (2)$$

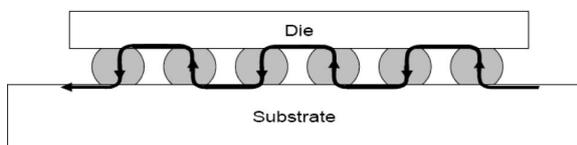
这里, σ 是对数正态分布的标准差。

计算结果的精确性决定于 Black 公式中常数 n 和 E_a 的精确性, 从而决定于 EM 实验中合理的温度和电阻测试, 以及所使用的样品失效标准。因此, EM 实验结构, 焦耳加热效应, 电阻测试和失效标准等因素都对电流承载能力计算有直接影响。

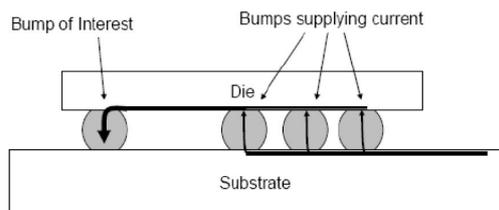
2.1 EM 实验结构

应用广泛的两个 EM 测试结构包括: a) 多个凸点连在一个链环中; b) 多个凸点对一个测试凸点输入电流。这些测试结构在 JEDEC 标准 JEP154^[10] 中有详细描述, 如图 2 所示。这两种方法各具优缺点, 并在失效标准模式上含义不同。

在图 2a 中, 多个 flip chip 凸点串联在一个链环中, 这些凸点交叉承受不同方向但同样大小的电流流量。因为多个凸点都会因电迁移遭破坏, 失效分析变得困难, 很难归结到某个特定凸点的损坏, 无论用



(a) 一个链环中的多个互联凸点



(b) 多凸点为单个凸点输入电流

图 2 用于 flip chip 凸点 EM 实验的典型测试结构

绝对电阻值增加或电阻值百分比增加作为失效标准都不合适。因为链环的电阻值较大, 焦耳加热效应也较明显。

为了避免这个问题, 另一个 EM 实验结构是用多个凸点为一个凸点提供电流并使其失效, 如图 2b 所示。虽然保证了只有单个凸点被破坏, 但因为输入电流来自多个凸点和输入线, 所以实验不能真实描述凸点的电流汇集效应。此外, 凸点电流输入是单向的, 我们需要双倍样品来获得完整实验数据。

相比之下, Amkor 所使用的双凸点链环结构更加合理。这种结构将不同方向的等量电流输入所测的两个凸点中, 失效分析容易。因为链环长度缩短很多, 凸点电阻在整个链环中的比例增大, 可以使用绝对电阻增加作为样品的失效标准。

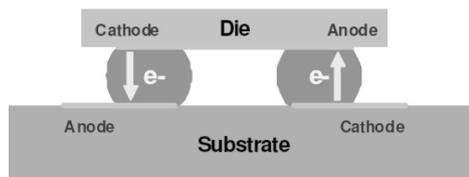


图 3 Amkor 双凸点 EM 测试结构

2.2 实验结构的电阻测试

典型 flip chip 凸点的电阻值很小 (几个微欧姆), 需要使用 4 点 Kelvin 电阻测试方法, 并将测试点尽量靠近所测凸点, 如图 4 所示。另外, 还需要敏感的电压测试系统, 以精确测得微欧姆级的电阻值。

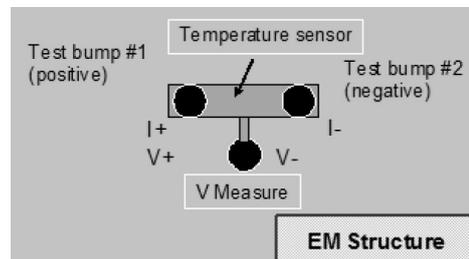


图 4 4 点 Kelvin 电阻测试系统

2.3 焦耳加热效应

焦耳加热是指电流通过导体会发热。焦耳发热所引起的样品温度升高, 会影响激活能量 E_a 值的计算。测量凸点实际温度的最好办法是将温度感应

元件直接放置于凸点的上部或下部。另一个方法是利用 EM 实验结构电阻温度系数 (TCR), 虽需要温度电阻校正, 但设计简单易行。

2.4 失效标准

电迁移实验中通常使用两种样品失效标准: 电阻值的百分比增加和绝对值增加。因为 EM 结构和互联结构的不同, 采用不同失效标准可能会极大影响对凸点电流承载能力的预测。图 5 是 EM 实验中两种电阻值随时间变化图。

第一种情况, 凸点突然断裂, 失效时间与失效标准无关。但是, 更普遍的情况是, 电阻值随时间逐渐增加, 选用合适的样品失效标准变得非常重要。失效标准的选择, 决定于 EM 实验结构。Amkor 的 EM 实验 (图 3) 使用 10 微欧姆的绝对阻值增加作为失效标准。

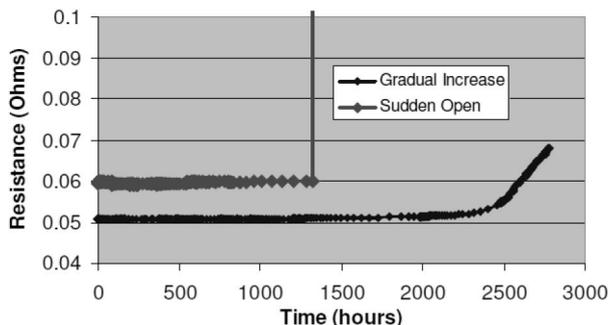


图 5 EM 实验中的两种典型的电阻值随时间变化图

3 flip chip 凸点实验装置

Amkor 用于电迁移实验的样品是一个 14.7mm 的芯片。芯片使用 65nm 半导体技术和低介电常数的电介质。芯片的互联凸点分别采用高铅 (High Pb), 锡铅 (SnPb), 无铅 (SnAg) 和铜柱 (Cu Pillar) 材料, 凸点的节点间距是 150 μ m。芯片用聚酰亚胺 (polyimide) 进行材料钝化 (passivation), 芯片焊盘上的 polyimide 层中有 47 μ m 的联孔。

每种情况下, 凸点在 polyimide 的联孔中直接生成并与芯片钝化层 (passivation) 相接。凸点下金属

层 (UBM) 的直径为 90 μ m, 凸点高度为 75 μ m。对于焊锡类凸点, UBM 的结构是 TiW (1000A)/Cu (1500A)/Ni (2 μ m)。对于铜柱凸点, UBM 结构为 TiW/Cu, 高度为 55 μ m, 而 20 μ m 或 40 μ m 高度的锡帽 (SnAg) 随之形成。因为光刻的漂移效应, 铜柱顶部与锡帽相连处的直径稍大于 90 μ m。

芯片的基板是 4-2-4 的有机多层板, 基板核为 400 μ m。基板上的焊盘有 SMD (阻锡层决定) 和 NSMD (非阻锡层决定) 两种。对 SMD 焊盘情况, 阻锡层的开孔为 85 μ m。而在 NSMD 情况下, 焊盘直径为 115 μ m。SMD 焊盘为表面处理锡层 (SOP) 覆盖, 而 NSMD 焊盘使用有机表面保护层 (OSP)。使用的锡球为 SAC305。图 6 是芯片上的凸点分布和基板的顶部视图。表 1 是每种实验设置的细节描述。

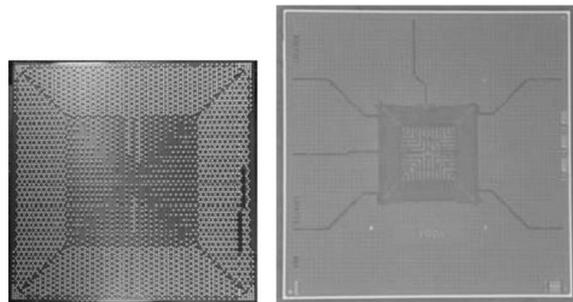


图 6 芯片上的凸点分布和基板的顶部视图

表 1 各种实验结构细节

Test Vehicle	High Pb	Eutectic SnPb	Pb Free	Cu Pillar SMD	Cu Pillar NSMD
FC Bump	95/5 Pb/Sn	63/37 Sn/Pb	SnAg2.3	Cu Pillar	Cu Pillar
SnAg Cap	NA	NA	NA	20 μ m	40 μ m
SOP Alloy	63/37 Sn/Pb	63/37 Sn/Pb	SAC305	SAC305	SAC305
Substrate Pad Type	SMD	SMD	SMD	SMD	NSMD
BGA Balls	SAC305	SAC305	SAC305	SAC305	SAC305
Bump x-section					

4 实验条件

对每种 flip chip 凸点, 我们采用了不同温度和电流值的实验条件, 而每种条件有 8 个实验样品

(DUT),如表 2 所示。表 2 中的温度是所设置的加热炉温,而实际样品的温度因为焦耳发热效应要高于所列温度大约 5 度。表 3 列出各类凸点的电流密度值。

表 2 各类 flip chip 凸点的 EM 实验条件

Current & Oven Temperature	0.4 Amps	0.55 Amps	0.7 Amps
130 deg C			Cu Pillar SMD
	SnAg		SnAg
	High Pb	High Pb	High Pb
	Eut SnPb		Eut SnPb
145 deg C	Cu Pillar SMD	Cu Pillar SMD	Cu Pillar SMD
	SnAg		SnAg
	High Pb		High Pb
	Eut SnPb		Eut SnPb
160 deg C	Eut SnPb		

表 3 实验中的电流密度

Current (Amps)	Current Density (A/cm ²)		
	Based on UBM Dia	Based on Via Dia	Based on Subs Pad Dia
0.4	6288	23055	9054
0.55	8645	31701	12449
0.7	11003	40347	15845

5 测试结果

实验结果如表 4 所示。

High Pb 凸点在 5 种测试条件下的对数正态分布曲线如图 7 所示。正如预测,最严格测试条件

表 4 flip chip EM 测试结果

Bump Configuration	Stress Current (mA)	Oven Temperature (deg C)	# Samples	# Failed	Test Hours Completed
High Pb	400	130	8	8	5561
High Pb	400	145	8	8	2200
High Pb	550	130	8	8	2267
High Pb	700	130	7	7	714
High Pb	700	145	8	8	799
Eut SnPb	400	130	8	7	13392
Eut SnPb	400	145	8	8	2167
Eut SnPb	400	160	10	10	671
Eut SnPb	700	130	8	8	3274
Eut SnPb	700	145	8	8	742
SnAg	400	130	7	1*	19277
SnAg	400	145	8	8	12875
SnAg	700	130	7	7	15030
SnAg	700	145	8	8	4180
Cu Pillar SMD	400	145	8	5	18100
Cu Pillar SMD	550	145	8	8 (5**)	18100
Cu Pillar SMD	700	130	10	4 (2**)	19277
Cu Pillar SMD	700	145	8	8 (3**)	9500
Cu Pillar NSMD - 1	700	130	8	5 (3**)	19277
Cu Pillar NSMD - 2	700	130	8	6	19277

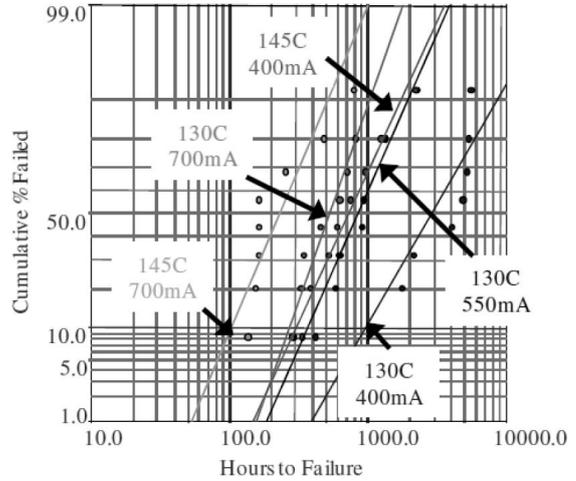


图 7 High Pb 凸点失效的对数正态分布图

(145°C, 700mA) 下的样品首先失效,平均失效时间是 285 小时。而在最宽松的测试条件 (130°C, 400mA) 下,样品最迟失效,平均失效时间是 4170 小时。在 130°C 下,如果电流从 400mA 加大到 550mA 和 700mA,样品的平均寿命会分别下降 4 倍和 7 倍。但是,在 145°C 下,电流值从 400mA 增加到 700mA 平均寿命只降低 3.2 倍。数据分析可得到 Black 公式中的常数值,激活能量 E_a 为 1.08eV,电流密度系数 n 为 1.86,与期望值一致。

类似地,由实验结果导出的 SnPb 的 E_a 和 n 的经验值分别为 1.06eV 和 1.62,这也与期望值一致。而 SnAg 的 E_a 值和 n 值分别为 1.34eV 和 1.9,比预期值稍高,原因可能是其中一组样品没有足够的失效数据。

对于铜柱类凸点,多个失效发生在 5000 小时之前(表 4 中标注 **)。但失效分析表明这些失效并不是源于电迁移。因为没有足够的失效数据,我们无法导出 E_a 值和 n 值。表 5 列出由实验得到的 Black 公式中的常数值。

所测凸点的 EM 性能优劣可描述为 High

表 5 Amkor EM 实验导出的 Black 公式中的常数

Bump Metallurgy	E_a (eV)	n
High Pb bump + eut SOP	1.08	1.86
SnPb Eutectic	1.06	1.62
SnAg bump + SAC305 SOP	1.34*	1.9*
Cu Pillar	NA	NA

Pb<SnPb共晶 <SnAg<Cu Pillar,如图 8 中所示。图 8 是各类凸点在 145℃和 700mA 测试条件下的比较。共晶 SnPb,SnAg 和铜柱的 EM 性能排序正如预期,但 High Pb 凸点的 EM 性能如此之低令人诧异。High Pb 焊锡用于业界已超过 40 年,一直被认为具有很高的 EM 性能。事实上,High Pb 焊锡通常被用作比较对象,来决定新型凸点是否有可靠的 EM 性能。

值得注意的是,在 Amkor 所有焊锡类测试样品中,焊盘的表面处理都是 Cu+SOP,这极大影响了 High Pb 凸点和其它焊锡凸点的 EM 性能。上述数据同时表明,在同样的测试条件下,铜柱凸点比 SnAg 凸点的 EM 性能高出 3 到 4 倍,这在已发表的文章中也有证明^[5]。

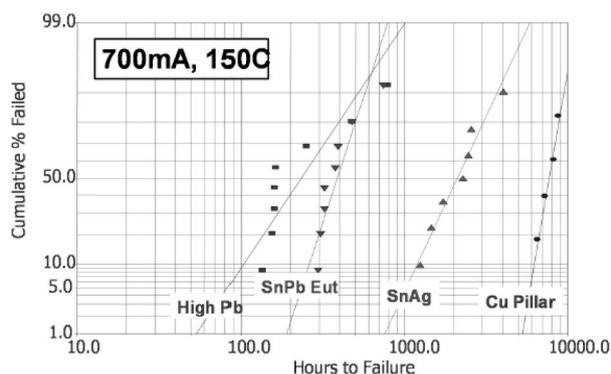


图 8 在 145℃和 700mA 测试条件下, 各类 FC 凸点的 EM 性能比较

6 失效分析

6.1 High Pb 凸点

对 High Pb 凸点的失效分析表明,失效裂纹主要发生在负极凸点靠近基板一侧(电子由基板流入凸点)。裂纹处于大量的 Cu-Sn 金属间化合物(IMC)和基板的 Cu 焊盘之间,如图 9 所示。这也和已发表的文章显示失效发生于 UBM 中的结论相左^[11]。

但是本文中所采用的基板表面处理和凸点 UBM 结构与文章 [11] 中的不同。Amkor 使用了 Cu+SOP 的基板表面处理和 TiW/Cu/Ni 的 UBM。而



图 9 High Pb 凸点的失效位于基板一侧(负极侧)

文章 [11] 中使用的是 ENIG 表面处理和 Ti/Ni(V)/Cu 的 UBM。表面处理的不同是造成本文中 High Pb 凸点寿命较低的主要原因。

High Pb 凸点中 Sn 的含量较少,在 EM 实验中,Pb 移向正极,而 Sn 则在负极聚集。这些聚集的 Sn 原子将和基板焊盘中的 Cu 形成 Cu₃Sn IMC。随着电迁移的继续进行,多余的 Cu 将进一步形成 Cu₆Sn₅ IMC,直到凸点中的 Sn 被消耗殆尽。这时,空穴或裂纹就会在 Cu₆Sn₅ 和 Cu₃Sn 的界面上形成,并逐渐扩大。

6.2 SnPb 凸点

图 10 是 SnPb 凸点的横截面视图,显示了共晶 SnPb 凸点在正负极处的单元分布。凸点失效主要发生在基板负极一侧的两种 Cu-Sn IMC 的界面上。但凸点中还是保留了大量的 Sn 成分,这应该是 SnPb 比 High Pb 寿命更长的原因。由于电流拥挤效应,一些 EM 破坏也发生在正极凸点上。而且,可以看到全部 Pb 都向基板一侧漂移。

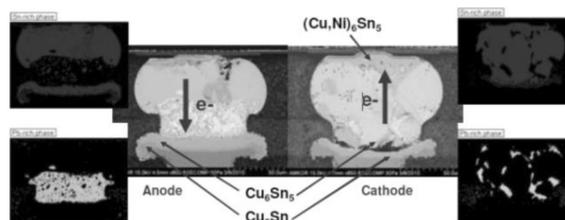


图 10 EM 实验后 SnPb 凸点的横截面分析

6.3 无铅 SnAg 凸点

对 SnAg 凸点来说,失效主要发生在 UBM 一侧,而在基板一侧也有明显的破坏,如图 11 所示。虽然对负极凸点来说,Cu₆Sn₅ IMC 向 UBM 方向漂移,

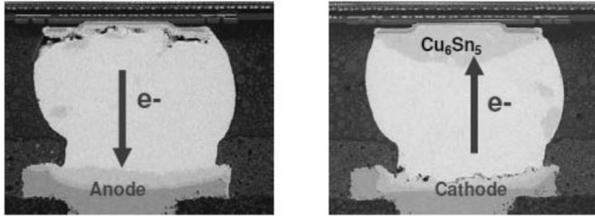


图 11 EM 实验后 SnAg 凸点的横截面分析

会在基板一侧产生裂纹。但是，主要的薄饼状的断裂失效是发生在正极凸点的 UBM 一侧，在 Ni3Sn4 与块状 (Cu, Ni)6Sn5 之交接处。

6.4 铜柱凸点

如前所述,有些铜柱凸点的电失效发生在 5000 小时之内,但失效分析证明这些失效并非来自电迁移。如图 12 所示,负极凸点的基板一侧有轻微裂纹,但不足以引起电阻变化。图 12 还表明,即使在 1000 小时之内,两个凸点的 SnAg 锡帽以及 SAC305 已有显著部分转化成了 Cu6Sn5 IMC。在铜柱一侧,铜成分的消耗是非对称的。

我们也分析了不少其它早期失效样品,但它们都与电迁移无关。样品失效可能源于基板连线的不合理设计。

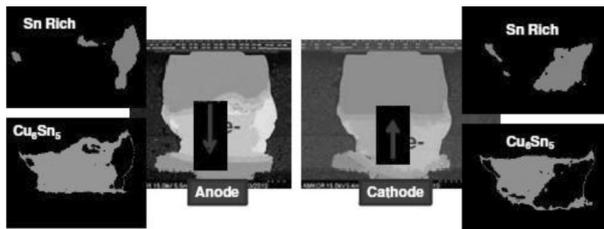


图 12 EM 实验后铜柱凸点的横截面分析

7 倒装焊凸点的电流承载能力预测

如使用的凸点结构与 Amkor EM 实验中所采用的相同,那么凸点的电流承载能力可以由如下公式 3 计算获得。公式 3 只是 Black 公式的另一种表达方式。这里,假设标准差 σ 在实验和使用条件下是相同的。

$$I_{use} = I_{acc} \cdot \left[\frac{t_{x\%}(I_{acc}, T_{acc})}{t_{x\%}(I_{use}, T_{use})} \cdot e^{\frac{E_a}{k} \left(\frac{1}{T_{use}} - \frac{1}{T_{acc}} \right)} \right]^{\frac{1}{n}} \quad (3)$$

I_{use}, T_{use} = 使用条件下的电流和温度

I_{acc}, T_{acc} = 加速实验条件下的电流和温度

$t_{x\%}(I_{use}, T_{use})$ = 使用条件下的凸点寿命,假设 x% 失效率

$t_{x\%}(I_{acc}, T_{acc})$ = 由实验结果计算出的在加速实验条件下的凸点寿命,假设 x% 的失效率

假定产品使用寿命为 100k 小时,失效率为 0.1%,图 13 是根据公式 3 计算出的在不同的芯片结温条件下,各种倒装焊凸点所允许的最大电流承载值。这里, E_a, n 使用了前文中导出的常数。

倒装凸点的大小变化会改变 Black 公式中电流密度。如要达到同样的电迁移寿命,对于一个直径为 X 的特定的凸点,其允许的最大电流将减小或增加 $(\frac{X}{90})^2$ 倍。

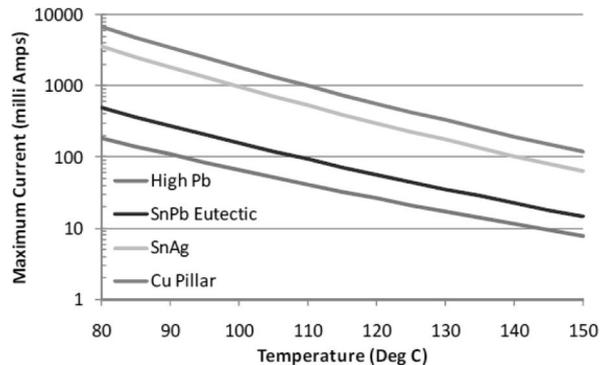


图 13 凸点最大电流承载能力(假设 0.1%失效率, 100k 预期寿命,等同于 Amkor 实验样品中的凸点)

8 总结

我们对各种不同的 FC 凸点结构在使用 Cu+SOP 基板表面处理的情况下进行了电迁移可靠性测试。测试结果表明铜柱的性能是最好的,随后依次为 SnAg, SnPb, High Pb。High Pb 在此测试中性能惊人之低,其主要原因是由于 Cu-Sn IMCs 的形成导致凸点中的 Sn 被消耗殆尽。凸点中 Sn 的含量对于基板使用 Cu 表面处理(没有 Ni 阻隔层)的电迁

移可靠性有直接的影响。通常随着 Sn 含量的增加,电迁移可靠性会提高。

根据测试数据,我们导出了 Black 公式中的常数。同时也给出了如何预算在指定寿命及失效率下凸点的电流承载能力的方法。需要再次强调的是,据此计算出的数据只应当作指导性的,实际产品的设计必须根据产品在其具体情况下的实测数据。

鸣谢

感谢公司中所有对此文提供帮助的人。Jon Aday, Millete Carino, Steven Lee, Malvin Lara, Riki Whiting, 和 DongHee Lee 帮助设计组装了测试样品。另外,特别感谢 Ahmer Syed (现在 Qualcomm 任职) 在 Amkor 期间所做的电迁移测试和分析方面的贡献。CC

参考文献

- [1] J. R. Black, "Mass Transport of Aluminum by Momentum Exchange with Conducting Electrons," 6th Int'l Reliability Phys. Symp. IEEE, p148, 1967
- [2] Tu, K. N., "Recent Advances on Electromigration in Very-Large-Scale-Integration of Interconnects," J. Appl. Phys., Vol. 94, No. 9, pp. 5451-5473, 2003
- [3] Robert Frye, Kai Liu, KyawOo Aung, and M. Pandi Chelvam, "Electromigration Measurements in Thin-Film IPD and eWLB Interconnections", Proc 62th Electronic Components and Technology Conf, 2009, pp 1304-1311
- [4] Ahmer Syed, "Factors Affecting Electromigration and Current Carrying Capacity of FC and 3D IC Interconnects", 12th Electronic Packaging and Technology Conference, Singapore, Dec 8-11, 2010
- [5] Nicholls, L., Darveaux, R., Syed, A., Loo, S., Tee, T. Y., Wassick, T. A., and Batchelor, B., "Comparative Electromigration Performance of Pb Free Flip Chip Joints with Varying Board Surface Condition," Proc 59th Electronic Components and Technology Conf, 2009, pp914-921.
- [6] Ahmer Syed, Christopher J. Berry, Karthikeyan Dhandapani, Patrick Thompson, Seung-Hyun Chae, "Electromigration Performance of Fine-Pitch Copper Pillar Interconnections", IMAPS 2012, 45th International Symposium on Microelectronics
- [7] Syed, A., Dhandapani, K., Moody, R., Nicholls, L., and Kelly, M., "Cu Pillar and μ -bump electromigration reliability and comparison with high pb, SnPb, and SnAg bumps," 61st Electronic Components and Technology Conference (ECTC), 2011
- [8] Lai, Y-S, Kao, C-L, Chiu, Y-T, Appelt, B., "Electromigration Reliability of Redistribution Lines in Wafer-level Chip-Scale Packages," 61st Electronic Components and Technology Conference (ECTC), 2011, pp 326-331
- [9] Ahmer Syed, Karthikeyan Dhandapani, Christopher Berry, Robert Moody, and Riki Whiting, "Electromigration Reliability and Current Carrying Capacity of various WLCSIP Interconnect Structures", 63rd Electronic Components and Technology Conference (ECTC), 2013
- [10] JEP154, "Guideline for Characterizing Solder Bump Electromigration under Constant Current and Temperature Stress," JEDEC, 2008
- [11] J.D. Wu, P.J. Zheng, C.W. Lee, S.C. Hung, J.J. Lee, "A study in flip-chip UBM/bump reliability with effects of SnPb solder composition," Microelectronics Reliability 46 (2006) 41-52

作者简介

Christopher J. Berry, Amkor 美国先进封装工程
部副总裁, 公司位于美国亚利桑那。cj.berry@amkor.com。
邹毅达, Amkor 上海 SiP 事业部高级工程师。yida.zou@amkor.com。
林伟, Amkor 美国机械工程部总监, 公司位于美国亚利桑那。wei.lin@amkor.com。