

用 2.5D TSV 实现多处理器 SiP 功能

Deborah Patterson¹, Mike Kelly¹, Rick Reed¹,

Steve Eplett², Zafer Kutlu³, Ramakanth Alapati³

(1. 安靠封装测试, 美国; 2. Open-Silicon, Inc., 美国; 3. GLOBALFOUNDRIES, 美国)

本文原载于美国 Chip Scale Review 杂志 2014 年 5 月 -6 月期, 并已获准翻译成中文在“中国集成电路”杂志发表。

摘要: 本项目由 Open-Silicon, GLOBALFOUNDRIES 和 Amkor 三家公司合作完成。两颗 28nm 的 ARM 处理器芯片, 通过 2.5D 硅转接板实现集成。芯片的高性能集成通常由晶体管制程提高来实现, 应用 2.5D 技术的 SiP 正成为传统芯片系统集成的有效替代。Open-Silicon 负责芯片和硅转接板的设计, 重点在于性能优化和成本降低。GLOBALFOUNDRIES 采用 28nm 超低能耗芯片工艺制造处理器芯片, 而用 65nm 技术制造 2.5D 硅转接板。

包括功耗优化和功能界面有效管理等概念得到验证。硅基板的高密度布线提供大量平行 I/O, 以实现高性能存储, 并保持较低功耗。所开发的 EDA 设计参考流程可以用于优化 2.5D 设计。本文展示了如何将大颗芯片重新设计成较小的几颗芯片, 通过 2.5D 硅转接板实现 SiP 系统集成, 以降低成本, 提高良率, 增加设计灵活性和重复使用性, 并减少开发风险。

关键词: 系统级封装; 2.5D; 穿硅孔; 多处理器; 2.5D 穿硅孔封装

Enabling a multiple processor SiP with 2.5D TSVs

Deborah Patterson¹, Mike Kelly¹, Rick Reed¹, Steve Eplett², Zafer Kutlu³, Ramakanth Alapati³

(1. Amkor Technology, Inc., USA; 2. Open-Silicon, Inc., USA; 3. GLOBALFOUNDRIES, USA)

Abstract: A collaborative program between Open-Silicon, GLOBALFOUNDRIES and Amkor Technology produced a functional SiP solution featuring two 28nm logic chips with embedded ARM processors that were interconnected using 2.5D through silicon via (TSV) interposer technology. The adoption of 2.5D technology is increasingly being viewed as an alternative to traditional scaling at the transistor level. The design featured two ARM Cortex-A9 processors manufactured with GLOBALFOUNDRIES' 28nm-SLP (Super Low Power) process technology. The processors were assembled onto a 65nm silicon interposer with TSVs to facilitate high bandwidth communication between the chips. Open-Silicon designed the logic die to demonstrate several downstream efficiencies for cost savings and fast

time-to-market. The 2.5D approach allowed device and system designers to decouple functions from a single SoC solution and provided a pivotal demonstration of heterogeneous die integration. The emphasis on concurrent processor and interposer design optimized performance and design-for-cost advantages.

Several concepts were demonstrated including power optimization and the effective management of interfaces between the various functions. Along with the processors, the system featured DDR3, USB and AXI bridge interfaces. High performance memory that uses massively parallel I/Os keeps power down and is facilitated by the dense routing enabled by silicon interposers. One deliverable from the program was a special EDA reference flow to address the requirements of the 2.5D design including top-level I/O placement and routing, multi-layer TSV and interconnect layout, front-side and back-side copper pillar and flip chip bumps, and redistribution layers. Chip design and silicon process node can either preserve or limit inter-chip communication when comparing SoC versus multichip or system-in-package (SiP) approaches. Connecting two dual-core processors within a single package illustrated the expansion of function through multiple die without reduction in performance. The test vehicle demonstrated that large ICs can be re-architected into smaller constituents to minimize cost, increase yield, enrich design flexibility, maximize re-use and minimize risk.

Key words: SiP; 2.5D; TSV; Multiple Processor; 2.5D TSV Packaging

1 引言

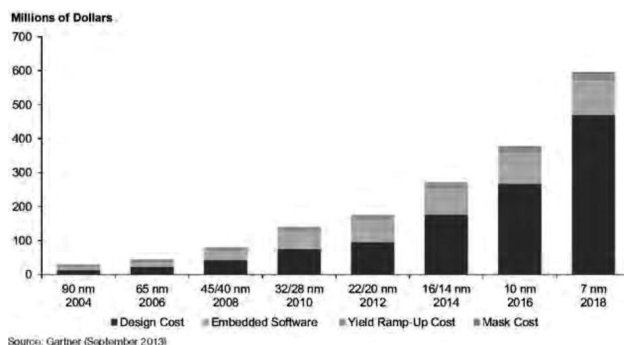
2.5D 穿硅孔 (Through Silicon Via, TSV) 封装结构正成为实现高性能芯片开发的有效解决方案。传统上, 我们利用晶体管缩小来制造更为复杂的系统级芯片 (SoC)。下一代半导体制程造价极高, 业界需要寻找有效的替代方案以保持自身竞争力。另外, 一些应用需要集成某些元器件, 而这些元器件的功能难以在 SoC 中实施, 这时, 2.5D TSV 系统级封装 (SiP) 设计更具吸引力。以硅转接板 (interposer) 为基础的封装设计所提供的速度、带宽和功效是传统多芯片封装无法比拟的。此外, 成本低、开发周期短、成品率高、元件可灵活应用和重复使用, 以及开发风险较低等都是硅转接板设计的优势^[1]。

2 应用 2.5D TSV 的工业驱动力

使用 16/14 nm 的 FinFET 半导体制程将使系统级芯片 (SoC) 设计成本达到近 3 亿美元。采用更新过的工具实施旧一代制程的芯片生产, 成本增加也

极高。就算小心地使用现有的 IP、软件、设计、生产工具和其它设备, 芯片开发成本也会达到 2 千万到 5 千万美元。设计和生产先进的 SoC 需要极高的成本和较长的开发周期, 这导致 SoC 开发的两个主要变化: 1) 先进 SoC 只能针对极大的市场应用以回报前期投入。2) 更少公司有能力用新一代半导体制程开发 SoC。

考虑到芯片开发的经济性, 下一代 SoC 要求产品寿命周期中的产值达到几十亿美金。图 1 展示了在过去 10 年中, 随着半导体制程的不断进步, 先进 SoC 的平均设计成本也成倍增长^[2]。



来源: Gartner (2013 年 9 月)

图 1 SoC 设计成本随半导体制程进步的增长

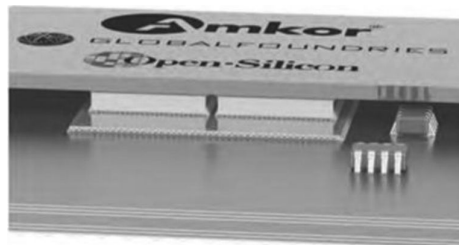
因此,在转向使用下一代半导体制程之前,需要积极寻找较低成本的替代品,如使用 2.5D TSV 的系统级封装(SiP)。先进的 2.5D SiP 结构可以支持很高的系统性能要求,并缩短其进入市场之前的开发周期,也可以降低系统的总体开发成本。

2.5D TSV 封装可以有效实现系统集成,其优势主要表现在:1) 功耗和性能优势扩大了应用领域;2) 尺寸减小;3) 芯片层数减少降低了成本和开发周期;4) 芯片可以采用最佳制程以获得最合适的成本和性能(芯片生产厂商投资减少);5) 芯片功能区域分割以优化存储、模拟、性能、电源管理等;6) 通过芯片恢复以获得较高的有效芯片的良率;7) 存储技术的集成增加了带宽,减少了功耗,可以取代 SoC 中的嵌入式动态随机存储器(eDRAM)或嵌入式闪存(eFlash);8) 缩短产品开发周期;9) 减低项目计划管理风险。这些优势很好补偿了由于引入转接板(interposer)和 2.5D 复杂封装而带来的成本提高。此外,拥有 IP 的公司通常需要将其 IP 升级以适用于新一代的半导体制程,但 2.5D TSV 的应用可能使原有的 IP 寿命增长。这些 IP 设计公司还可以提供其核心 IP 给多个用户,或将其 IP 应用于更广泛的市场,以补偿因不得不使用先进半导体制程而带来的巨额费用。这种对核心 IP 的重复使用,多用户使用和跨应用平台使用的模式分摊了原本由一家公司承担的一次性工程费用(NRE),也成为 IP 应用的一种新的模式。

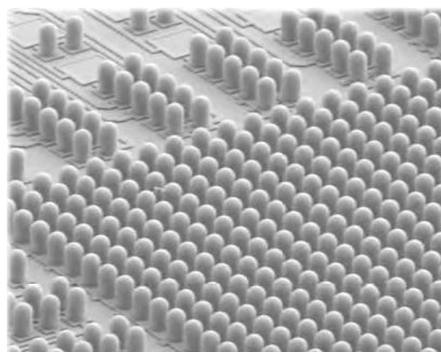
3 封装设计和功能

这个 2.5D TSV SiP 集成了两颗 28 nm 的 SoC 以增强处理器的功能并减小产品开发与生产风险。SoC 是基于 ARM 公司的双核 Cortex™-A9 处理器。如同功能重新分割的单颗芯片一样,多颗芯片的集成也由半导体制程工艺和封装互联密度来决定芯片间的通信性能。所设计的硅转接板可以为两颗芯片提供 16 GB/sec 的全双工数据传输率。硅转接板采用 65 nm 工艺,提供精细的互联和低功耗,可以减小

封装尺寸和降低功耗预算。图 2 是两颗处理器通过一颗硅转接板进行互联的封装体和硅转接板顶部的铜柱阵列。表 1 定义了封装体的基本结构单元。



a) 通过硅转接板相连的两颗 ARM Cortex™-A9 处理器



b) 硅转接板顶部的铜柱微凸块

图 2 应用硅转接板的 SiP 以降低系统功耗

表 1 2.5D SiP 封装结构

| | | | |
|------------------------|-------------------|--------------------------------|----------|
| Package | | | |
| Body Size | 27.0 mm x 27.0 mm | Max. Thickness | 2.78 mm |
| | | Ball Count | 671 |
| Processor | | | |
| Die Size | 4.1 mm x 4.5 mm | Thickness | 0.600 mm |
| Bump Pitch (Cu Pillar) | 40 μm | Bump Height (Cu Pillar) | 40 μm |
| Interposer | | | |
| Die Size | 10.8 mm x 7.4 mm | Top Side Pad | NiAu |
| | | Bottom Side Solder Bump Height | 80 μm |
| Thickness | ~100 μm | Top Side Pad Pitch | 40 μm |
| | | Bottom Side Solder Bump Pitch | 170 μm |

4 硅转接板设计

连接 28 nm 制程的处理器芯片和 65 nm 制程的硅转接板的最重要的考量应该是如何优化单颗芯片的构架以充分发挥 2.5D 结构的优势。从功能的角度看,这颗 SiP 的设计和制造展示了如何在一些关键方面优化多处理器开发,如保持芯片对芯片 I/O 互联低功耗,减少芯片对芯片 I/O 互连线数量(但必须保证足够的静电(ESD)保护),并优化功能测试方案以发挥多芯片 SiP 系统的优势。

低功耗设计意味着在两颗芯片之间的硅转接板上建立支持所需数据传输率的通道。硅转接板包括4层铜和1层铝和TSV孔。硅转接板应用了65nm制程工艺的后段(BEOL)制造技术。两颗芯片之间的互联铜线采用1 μ m的线宽/线距。

硅转接板将两颗处理器芯片的1660条信号线互联。芯片之间的距离为0.5mm,而两颗芯片之间的信号互联线的最大长度控制在4mm之内。带TSV的硅转接板晶圆被磨薄至100 μ m,并暴露出直径为10 μ m的TSV。图3是两颗处理器组装在硅转接板上示意图和TSV硅转接板顶部照片。

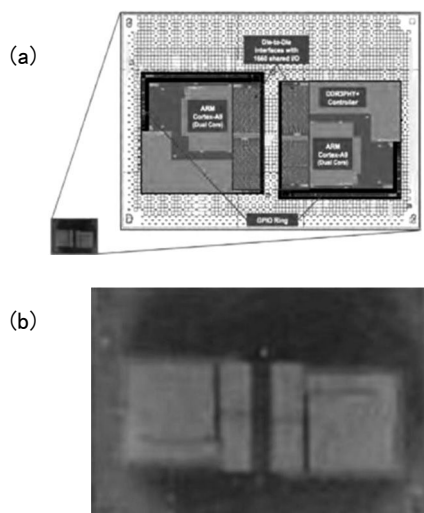


图3(a)通过65nm硅转接板互联的两颗ARM Cortex™-A9双核处理器的放置图; (b)硅转接板顶部照片

硅转接板底部有一层重新分布线路,用于连接TSV和间距为170 μ m的无铅锡凸块。这些无铅锡凸块将硅转接板与尺寸为27mm \times 27mm的高密度叠层(high-density build-up, HDBU)有机封装基板相连。有机基板为4-2-4结构,核厚为0.4mm。图4为芯片/硅转接板/有机基板结构以及代表性铜柱和锡凸块互联点的横截面示意图。

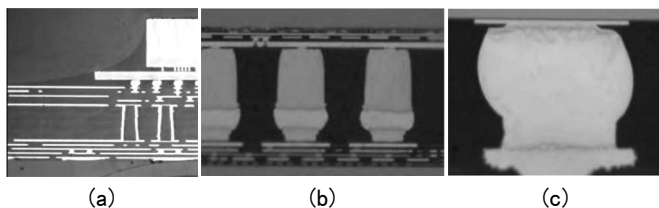


图4 a) 2.5D TSV SiP横截面; b) 间距为40 μ m铜柱微凸块互联; c) 间距为170 μ m的倒装锡凸块

5 同步芯片和封装设计以优化系统

硅转接板应用65nm制程,而处理器应用28nm超低功耗制程。设计目标为尽可能减小处理器的尺寸、减小功耗,并保证I/O驱动器间的距离足够短。

5.1 减小功耗,提高速度

功耗会增加热管理成本和影响性能。在移动应用中,如果壳体温度超标,处理器就会自动停止运作。在计算机中,部分功耗用于驱动外部存储,却会降低图像和处理器的性能。在网络应用中,超过50%的数据中心成本来自冷却处理。从芯片角度看,当动态随机存取存储器(DRAM)的结温超过80 $^{\circ}$ C时,刷新频率增加,并引起功耗和热量增加。高性能存储应用大量平行I/O来降低功耗,但这需要高密度互联,幸运的是,这正是应用2.5D转接板结构的优势。

除低功耗外,处理器芯片间的互联支持宽带和高速数据总线。数据总线就像一条高速公路将处理器和存储器相连。数据总线越宽(如:64位比32位宽),在同一时间内,数据传输得更多更快。为了在两颗处理器之间形成高速数据总线,铜柱微凸块被置于芯片标准单元逻辑区域之下,间距为40 μ m。

这种铜柱微凸块的特殊放置有几个优点。首先,系统设计将输出(发射器)和输入(接收器)单元并列放置于逻辑区域内。然后铜柱微凸块被置于这些相邻的单元上。这样的安排能更有效地测试处理器互联点,虽然对超过1600个细间距测试并不是一件简单的事。因为大部分的晶圆探针测试方案只是对ASIC测试方法的再应用,用于几千个I/O芯片测试所需的晶圆探针卡和相应的自动测试仪器(ATE)将非常昂贵。因此,系统设计在每个相邻的输入(接收器)和输出(发射器)I/O嵌入一个测试环回接口,用以取代传统的晶圆探针测试方法。这种设计使电子边界扫描法在晶圆测试中得到应用,使我们可以使用非常便宜的探针卡对晶圆进行全方位的测

试。图 5 是处理器中逻辑区域的下视图，包括了相应铜柱微凸块的位置。

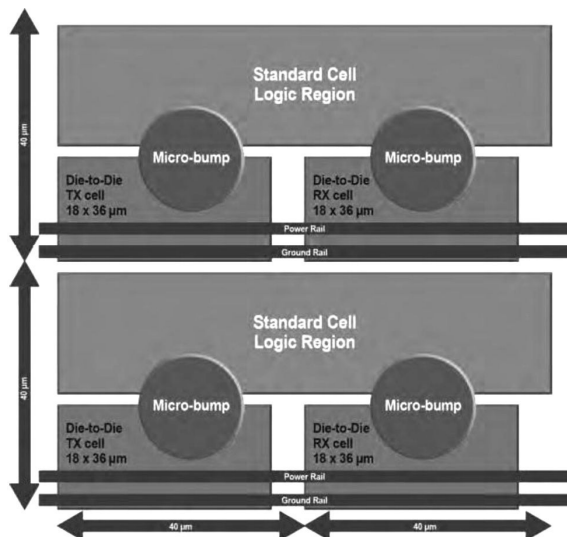


图 5 2.5D 硅转接板芯片对芯片互联代表逻辑区域的顶视图（参照图 2）- 逻辑单元和铜柱微凸块的相对位置

5.2 具有附加值的测试

2.5D 应用的测试极其重要。为了保证 2.5D 应用成本合理，必须保证组装生产高良率。而芯片、硅转接板和封装基板之间的 I/O 非常多，这给测试带来很大困难。晶圆级测试全面覆盖芯片测试，以获得适于组装的合格裸片。对系统级封装来说，其内含的各个芯片都应该可以独立测试，而所有的互联点也必须得到测试以验证功能的完整性。

在每颗芯片都经过测试并在保证功能实现的情况下，可以将电流漏泄高低不同的芯片合理进行组合相配，以提高成品率。另外，在生产中，芯片的某些区域没有通过测试，但这些芯片也可能用于其它类别的应用中，这无疑也提高了生产良率。所有这一切都是以有效测试为基础的。

5.3 通过有效的供应链合作来缩小芯片面积

芯片间 I/O 互联对静电保护要求的减小允许我们减小芯片面积。这对拥有几千个 I/O 的芯片来说，意义重大。此外，降低静电释放（ESD）可以帮助减少电容值，从而增加了接收器和发射器 I/O 之间互

连线的带宽。

如果静电释放发生在 2.5D 组装过程，就很可能发生在逻辑芯片上的凸块刚刚接触到硅转接板的金属焊盘时。我们设计了几种 ESD 保护的 I/O 形态。通过测试，我们发现，芯片对芯片 I/O 的 ESD 保护要求降低了，但对 ESD 保护的性能却高出一倍。这种有效的 I/O 设计同时提高了带宽，降低了功耗和芯片面积。

芯片对芯片通信的 I/O 单元面积为 $18\mu\text{m} \times 36\mu\text{m}$ ，处于间距为 $40\mu\text{m}$ 的铜柱凸块之间。I/O 功耗约为 0.5–0.6 微微焦耳/比特。如总体功耗预算紧，这种低功耗的 I/O 设计将是提高带宽的关键。

与普通用途的 I/O 设计相比，相邻输入（RX）和输出（TX）单元被置于独立的铜柱凸块之下，导致芯片面积降低 78%。同时，芯片和芯片的互联面积也降低了 50%，且芯片得到全面测试。这种用硅转接板支持的大规模 I/O 设计提供了坚实的供电网络和极低的 I/O 功耗。

虽然在这里我们选择了硅转接板，但硅转接板、有机基板和细粒基板代表不同的成本、性能和密度的应用。随着各类基板性能的提高，最佳的 SiP 方案可能也会有所改变。

6 组装

SiP 组装应用了先进的 TSV 封装技术。在组装之前，处理器和硅转接板芯片在晶圆状态下分别进行了铜柱微凸块植入和 SnAg 锡凸块植入。

组装流程非常直接：1) 有机基板烘烤；2) 粘贴电容元件；3) 硅转接板通过 SnAg 锡凸块组装到有机基板上；4) 处理器通过铜柱微凸块组装到硅转接板上；5) 下填料同时注入铜柱微凸块和 SnAg 倒装锡凸块之间；6) 组装散热盖，激光标刻和粘贴球栅阵列（BGA）锡球。图 6 是主要流程后的照片。可以看出，相比较小的硅转接板，有机基板的尺寸需要足够大以扇出球栅阵列。这里，有机基板的尺寸为 $27\text{mm} \times 27\text{mm}$ ，BGA 数量为 621，间距为 1.0mm。

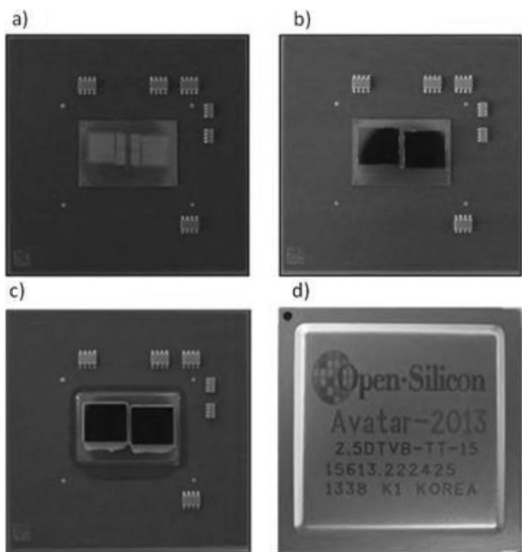


图 6 a) 硅转接板组装到有机基板上; b) 处理器芯片组装到硅转接板上; c) 施加了下填料; d) 散热盖和激光标刻后的样品

7 SiP性能

合理芯片设计和 2.5D TSV 架构的实施增加了带宽,并保持了高速数据传输和低能耗运行。这个 SiP 证实了应用 28nm 超低功耗制程的,且频率为 1GHz 的 ARM 双核处理器,可以支持动态存储 (DDR3, 频率为 1333Mbps),支持只读存储芯片启动 (boot-ROM, 其工作站由远程服务器启动),支持控制芯片间通讯的软件,支持一般用途的输入/输出信号,支持外围设备 (如板上监测等) 和相应功能测试。系统成功实施了两颗芯片间的高带宽互联。在验证试验中,针对 500 MHz 工作频率,芯片运行良好。而对一些专门的 I/O 测试结构的验证也表明,系统至少能在 2 GHz 频段上的运行。

8 应用

所设计的 Cortex™-A9 处理器 SiP 满足低功耗和高带宽的需求,可以用于低能耗的移动设备和服务器,或者家用网关器。

一般来说,2.5D 最通常的应用是 SoC 和存储芯片的组合,差不多一半以上的硅转接板 IP 针对于

此。硅转接板可以在存储芯片和逻辑芯片之间形成极宽的数据平行通道,这极大地提高了数据传输速度和降低了系统功耗。很明显,高带宽的存储 (HBM) 和多位 I/O (Wide I/O) 存储是 2.5D 集成的最佳候选。

SoC 的局限性在一些通用 ASIC 设计中表现明显。这些 ASIC 通常通过串行存储界面与外界存储芯片相连。半导体制程的进步导致串行/解串 (SerDes) 数据的增加,从而使所需的 SoC 芯片面积增加。将 SoC 中 SerDes 部分与芯片存储部分从主芯片分割开来形成独立芯片,就可以使先进的半导体制程仅用于最高性能要求的芯片上^[9],如处理器芯片。2.5D 的材料和设计适合这种 SerDes 和存储的模式,可以减小芯片尺寸,降低功耗和成本。

高性能产品,如智能电视、高端相机和计算机也可以利用这种封装方案,其中央处理器 (CPU) 通过硅转接板与各式相关的芯片以宽带相连。如无需专用 CPU,成本可以进一步降低。

其它应用还包括:SoC 与复杂的模拟、RF 和其它需要高速互联的芯片的组合,可以用于工业、医疗、测试、高端消费类和网络/通信中的 ASIC 芯片设计。另外,SoC 加 FPGA 的组合可以帮助快速进入市场和满足客户特殊需求。而 SoC 加其它逻辑芯片的组合将促进 IP 的重复应用,从而减少总体成本。

9 总结

本项目是产品供应链上的公司精诚合作、快速开发的成功案例。复杂产品开发通常需要大量投资和长期研发。本项目涉及整个半导体工业的生态系统,包括芯片系统设计、半导体生产、封装和测试。项目的重点在于对处理器芯片和硅转接板的协同设计以期最优性能和成本效益。

半导体厂商和芯片系统厂商决定半导体材料的特性与使用,并确认流程设计方法。半导体厂商还开发了电子设计自动化 (EDA) 参考流程以适应

(下转第 84 页)

中端集成度（需要外部 NVM，内置 1.5MB SRAM，很多情况下可以不再需要外部 RAM）高达 400MHz 的 Cortex A5 核心，拥有 NEON SIMD 引擎和集成的 ASRC（Asynchronous Sample Rate Converter）硬件，允许中等吞吐量音频采样处理。

i. MX6 家族处理器

最低集成度（需要外部 NVM 和 DRAM）Lowest integration（external NVM and DRAM needed）。

最高 4 核 1GHz Cortex A9 @ 1 GHz，包含 NEON SIMD 引擎和集成的 ASRC（Asynchronous Sample Rate Converter）硬件，允许非常多的音频采样处理。CC

上接第 32 页

2.5D TSV 系统的设计，如硅转接板设计、元件排布、TSV 使用、正反面互联点和重新布线等。软件实施兼顾了为测试设计的理念（DFT），如前述，既要验证性能，也要帮助提高良率。

此项目所开发的 SiP 一举成功，是产品价值链各方协同开发的典范。这将促进先进芯片设计对 2.5D 硅转接板 SiP 的更广泛的应用。

感谢

感谢 Open-Silicon 的 Abu Eghan 和 Abhishek Chhajer，他们负责硅转接板和基板设计。在 GLOBALFOUNDRIES 方面，感谢 Ravi Gutala 对 PDK 的支持，Manjunath Prabhu 对 ESD 的设计指导。还有 Jens Oswald, Christian Goetze, Samuel George, Juan Boon Tan, Wei Liu, Shun Qiang Gong, and Adam Beece 的贡献。另外，感谢 Amkor 位于韩国首尔 R&D 团队的 WonChul Do, EunHo Park, YoungRae Kim, DongHoon Han, 和 Yonglae Ko 对项目的鼎力支持。特别鸣谢 GLOBALFOUNDRIES 封装技术副总 David McCann 和 Amkor 先进产品开发高级副总 Ron Huemoeller 对本项目的大力支持。CC

参考文献

[1] The results of this paper were presented at the

IMAPS Device Packaging Conference, March 2014.

[2] B. Johnson, G. Ramamoorthy, M. Reitz, S. Tuan Want, "Market trends: soaring design costs threaten economic viability of Moore's Law," Gartner, Sept. 10, 2013.

[3] GLOBALFOUNDRIES news release, "Open-Silicon and GLOBALFOUNDRIES demonstrate custom 28nm SoC using 2.5D technology," Nov. 20-21, 2013.

作者简介

Deborah Patterson, 加州大学圣地亚哥分校电子工程学士, Furman 大学生物学学士。Amkor 公司产品与市场部高级总监。

Mike Kelly, 爱达荷大学化学工程硕士, 华盛顿大学机械工程硕士, Amkor 先进产品开发高级总监。

Rick Reed, 伊利诺伊大学香槟分校电子工程学士, 北卡罗来纳州立大学电子工程硕士和博士, Amkor 先进产品开发总监。

Steve Eplett, 莱斯大学电子工程硕士, Open-Silicon 公司设计技术和自动化部门主管。

Zafer Kutlu, 斯坦福大学机械工程硕士和博士, GLOBALFOUNDRIES 公司主任技术成员。

Ramakanth Alapati, 堪萨斯大学化学工程硕士, GLOBALFOUNDRIES 封装架构和技术部门总监。

华天科技：指纹识别产品已小批量生产

华天科技近日表示，该公司指纹识别产品目前已进行小批量生产。（来自华天科技）