

对有核与无核多层基板的供电网络分析

Ozgur Misman, Mike DeVita, Nozad Karim

(安靠封装测试, 美国)

摘要: 由于具有高密度布线能力和相对合理的成本, 在特殊用途集成电路 (ASICs) 的倒装封装中使用叠积层式 (build-up) 有机基板非常受欢迎。典型的叠积层式基板包括核层和其双侧的高密度布线层 (叠积层)。核层为封装提供所需刚度, 其厚度可以是 $400\ \mu\text{m}$, $600\ \mu\text{m}$, 或 $800\ \mu\text{m}$ 。新兴的无核基板技术去除了核层, 可以提高布线密度, 减薄封装, 和获得更好的电气性能。

本文比较了 8 层有核与无核基板在 31mm 和 900 锡球封装中的核心供电网络 (PDN) 的性能。在 50MHz 到 2GHz 频域内, 我们用矢量网络分析仪测得两路高频 S 参数以分析相应的 PDN。测量与模拟结果十分吻合。另外, 我们还在时域内模拟计算了 PDN 对瞬变电流的响应。

关键词: 供电网络; 无核基板; 倒装封装; 叠积层式基板; 电气性能

Core Power Delivery Network Analysis of Core and Coreless Substrates in a Multilayer Organic Buildup Package

Ozgur Misman, Mike DeVita, Nozad Karim

(Amkor Technology, Inc., 1900 South Price Road, Chandler, AZ85286, USA)

Abstract: The use of flip chip organic buildup substrates is a popular choice for large Application Specific Integrated Circuits (ASICs) due to the high routing density they offer at a relatively reasonable cost. A typical buildup package consists of multiple high density routing layers (buildup layers) supported by a thick core. The laminate core adds rigidity to the substrate and can be configured to various thicknesses such as $400\ \mu\text{m}$, $600\ \mu\text{m}$ and $800\ \mu\text{m}$. Coreless substrates are an emerging technology targeted to increase the routing density, lower the package z height, while providing better electrical performance. This is primarily due to the replacement of thick core layers with a thin buildup layer. As the trend for higher levels of performance and system bandwidth continues, coreless technology is well positioned as an enabling technology solution.

In this paper we compare the performance of the core power delivery network (Core-PDN) of two 31mm, 900 ball, 8 layer organic flip chip buildup substrates. We first analyze the substrates in the frequency domain and then evaluate the transient response under various switching conditions. Both packages are designed identically except for the core

versus coreless substrate construction. Two-port high frequency S parameter measurements between 50MHz and 2GHz are carried out using a Vector Network Analyzer (VNA) to characterize the PDN in the frequency domain. Both simulated and measured data are correlated in the frequency domain. Time domain response of PDN to current transients with various switching conditions are simulated and presented.

Key words: Power Delivery Network; Coreless Substrate; Flip Chip Package; Build-up Substrate; Electrical Performance

1 引言

集成电路的性能与优良的供电网络设计联系紧密。电路延时和抖动很大程度上决定于电源噪声的影响。核心逻辑电路中的开关电流通过核心供电网络(Core-PDN)中的阻抗对电源完整性造成破坏,从而降低高速数字系统中的电气性能。

随着时钟频率的提高和工作电压的降低,供电网络(PDN)所能接受的噪声范围持续缩小。这种趋势要求更加坚实可靠的PDN设计与分析以保证合理的系统性能。

供电网络(PDN)阻抗对核心噪声的影响极大。决定PDN阻抗的关键因素包括:纵向互联阻抗,如穿孔、凸块、锡球以及横向互联阻抗,如电源/接地配对面、它们的间隔,以及它们之间的介质材料特性等。

典型的叠积层式基板的核层厚度为 $800\mu\text{m}$ 和 $400\mu\text{m}$,少量基板的核层厚度为 $600\mu\text{m}$ 。为了达到PDN的性能要求,多核层结构可以用来提供交替的电源层和接地层来降低结构阻抗,虽然这会增加线路板的层数、复杂度和成本。

为了支持更薄的芯片,新一代电子产品,如平板电脑等的芯片封装对薄核基板($<400\mu\text{m}$)的需求增长迅速。无核基板是可行的解决方案,可以帮助减少封装的总体厚度、减少基板层数和提高电气性能^[1]。这是因为无核基板去除了较厚的单个或多个玻璃树脂核层。图1(a)是典型的有核基板,而图1(b)是采用无核基板的薄型封装。

在一个典型的厚核结构中,较薄的叠积层(布

线层)被对称置于厚核两侧,形成如3-2-3,5-2-5,3-4-3等叠积层式基板的封装。图2是典型的5-2-5基板结构的横截面。

核层上下部叠积层的对称结构平衡了基板中的金属百分比,可以保证较好的机械稳定性。但这种方法也可能在核层下部增加了多余的叠积层,因为经过核层上部的布线层,核层下部也许已无需额外的



图1(a) 12层双核层叠积层式基板,封装厚度为1.712mm

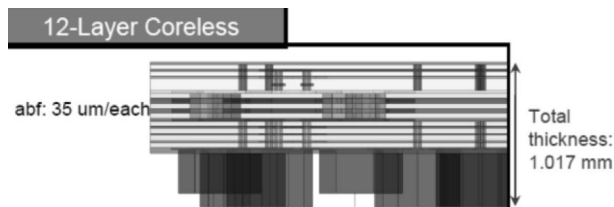


图1(b) 12层无核基板,封装厚度为1.017mm

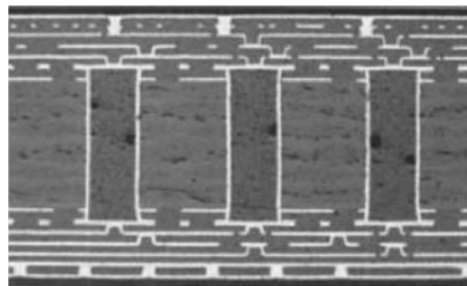


图2 叠积层对称分布于核层的上下部,以保证含铜量平衡,从而提高封装的机械稳定性

2 探针测试

布线层了。大规模量产 (HVM) 基板的设计准则为 $25\mu\text{m}$ 线宽 / 线距, 这在典型的封装设计中已使核以上的单侧叠积层的使用足以满足微带线 (microstrip) 和带状线 (stripline) 结构的布线密度要求。无核基板技术去除了结构对称要求, 而基板层数的减少也降低了封装成本, 并提高了电气性能。另外, 电源和接地层可以置于基板的任何部位, 提供了额外的设计灵活性。

无核基板技术的主要优势可以总结为:

- 叠积层的灵活性

- 无需对称的叠积层结构
- 基板层数有可能减少
- 因为基板层数减少而导致成本降低

- 基板过孔尺寸减小

○ 有核基板需要较大的电镀过孔来穿过较厚的核层。无核基板只需要微过孔即可穿过较薄的介质层。过孔尺寸的减小反过来又增加了布线密度

表 1 说明了典型的有核基板的电镀过孔和无核基板微过孔的相关尺寸相差很大。

表 1 电镀过孔和微过孔对比, 定位焊盘 / 钻孔

	Capture Pad (μm)	Drill Size (μm)
PTH Via (400 μm)	350	200
Micro Via	100	50

○ 由于可以灵活放置过孔且过孔变短, 过孔之间的串扰减小

- 更薄的封装

○ 金属层之间较短的过孔导致更小的寄生参数。表 2 是两种过孔的电感比较。

表 2 电镀过孔和微过孔自电感对比

	Inductance (nH)
PTH Via (400 μm)	0.14
Micro Via	0.01

- 由于基板无核, PDN 阻抗更小
- 更小的 IR 压降 (IR-Drop)
- 更低功耗
- 可能无需使用去耦电容

实验用的两种封装都是 31mm、900 颗锡球和 8 层基板的倒装球栅阵列 (fcBGA) 封装。

为了测量 PDN 的阻抗, 所需样品是裸基板。应用两路矢量网络测量仪 (VNA) 设置, 探针被置于一对电源 / 接地凸块 (bump) 上。通过去除基板顶端的阻锡层, 探针的放置有更大的灵活性, 探针的间距不必局限于所连凸块的间距。图 3 指示了基板上的测试位置。

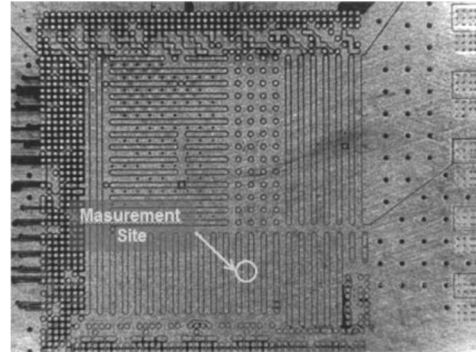


图 3 两种测试基板样品的顶端测试方位 - 阻锡层已被去除

我们使用了安捷伦的 8720D 网络分析仪, 其探针间距为 $250\mu\text{m}$, 接地 - 信号 - 接地探针阻抗为 50Ω 。矢量网络分析仪 (VNA) 的校验使用了标准开短路环路 (OSLT) 方法, 测试频率范围为 50MHz 到 2GHz。因为有多对电源 / 接地凸块对, 电源 / 接地结构可以很容易在相应凸块测得。而 PDN 的阻抗可以用这种方法在芯片一侧的凸块位置上测得。对两种基板 (有核与无核) 而言, 我们测试了相同位置上的电源 / 接地凸块对, 如图 4 所示。

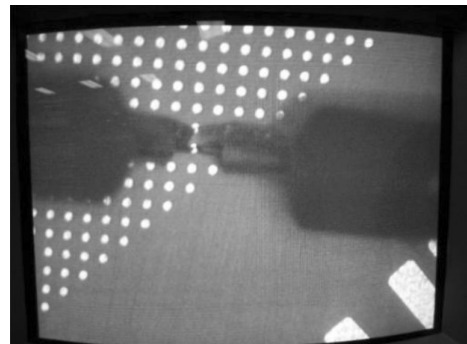


图 4 探针测试电源 / 接地凸块对

所测量的两路 S 参数值可以转换成电源 / 接地平面对应的阻抗值。方法见 Istvan Novak 的文章描述^[2]。

在准备测试样品时,基板的球栅阵列 (BGA) 一侧被涂抹上导电环氧树脂材料,如图 5 所示。环氧树脂材料对电源 / 接地焊盘在 BGA 一侧造成短路。这种方法通过短路阻抗测量,可以获得电源 / 接地平面对应的环路电感值。

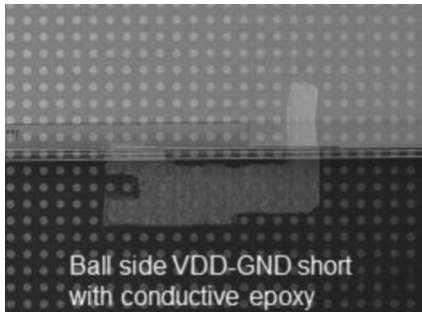


图 5 导电环氧树脂对电源 / 接地焊盘在 BGA 侧造成短路

3 电源 / 接地结构的电性能分析

为了保证测试的可重复性而不至因生产误差造成太大影响,有核与无核基板的测量均采用了三个样品,样品 A、B 和 C,并在同一个位置进行了测量。除了测量之外,我们还用商业用三维 (3D) 软件如 Cadence 的 PowerSI 对相应样品测量做了模拟计算。封装设计数据可以直接导入 3D 模拟计算环境中,计算模型中还包括了基板中各种材料的材料特性。我们对测量结果与模拟结果进行了对比。

电源 / 接地结构的短路阻抗可以直接从 VNA 测量的读数中获得。针对有核与无核两种基板结构,测量结果与模拟结果对比如图 6(a) 和图 6(b) 所示。可以看出,测量结果与模拟结果高度吻合。

图 7 是有核与无核基板阻抗值的对比。

很显然,在所测频率范围内,无核基板的阻抗要更低。当频率高于 1GHz 时,无核与有核基板间的阻抗差异更加明显。从短路阻抗的测试结果中可以算出环路电感,如图 8 所示。正如预测,无核基板的电感更小。这主要是因为电源和接地平面可以更紧密

地耦合,同时高电感值的有核基板过孔被低电感值的无核基板中的微过孔所代替。无核基板的环路电感值约为 75pH,而有核基板的环路电感值约为 96pH。它们相差约为 20%。

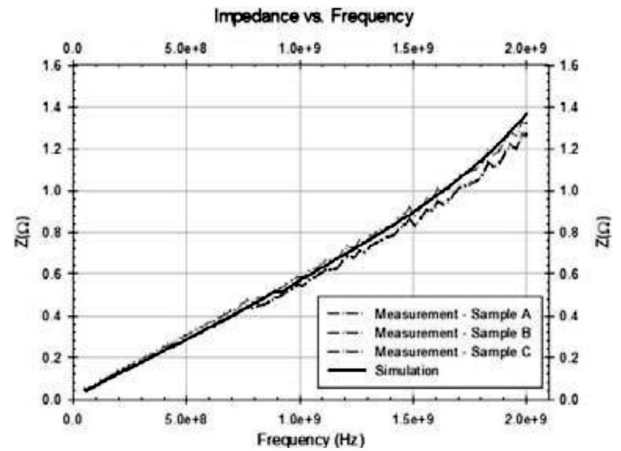


图 6(a) 测量与模拟结果对比 - 有核基板

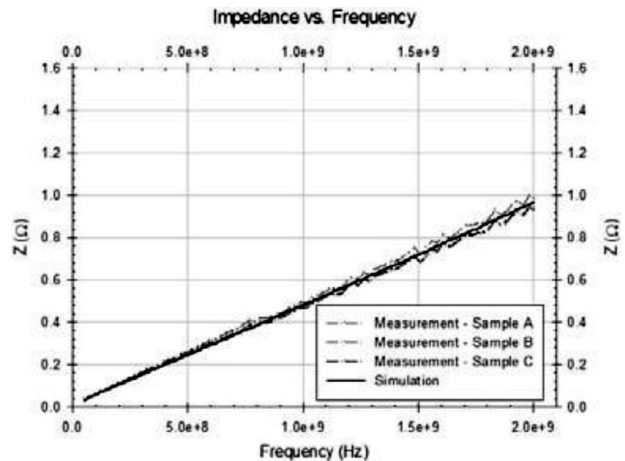


图 6(b) 测量与模拟结果对比 - 无核基板

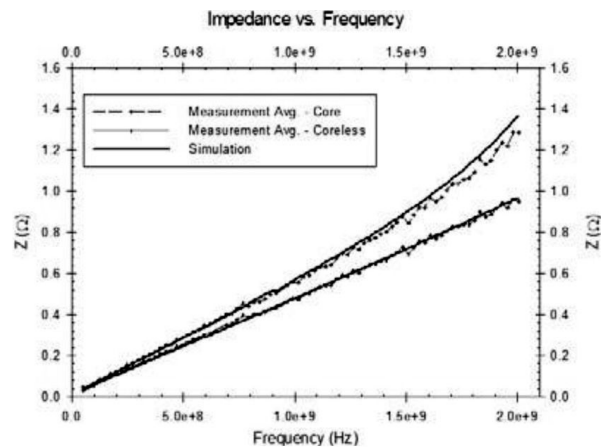


图 7 有核与无核基板阻抗的对比

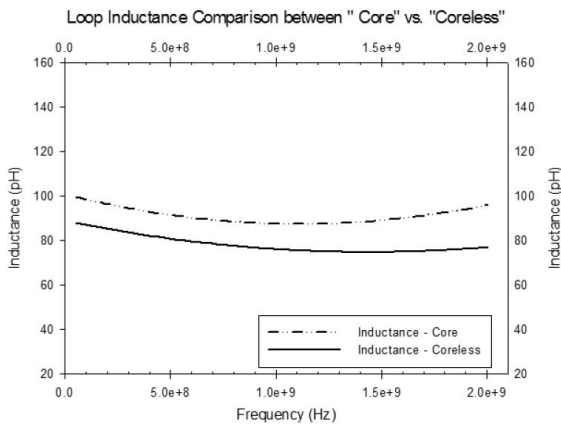


图 8 无核基板的环路电感值比有核基板约低 20%

4 核心 PDN 的时域分析

对系统工程师来说，核心供电网络（Core-PDN）的电感或阻抗是一个重要的性能参数。但是，PDN 性能优劣的判定最终由核心转换（core-switching）所导致的电源电压（VDD）管脚上的电压噪声所决定。通常，核心 VDD 能接受的电压噪声范围是 5-10%。为了理解电压噪声范围，我们设置了一个简单电路，如图 9 所示。峰值电流为 1.5 A 的电流施加在芯片一侧，其线性缘变化率（edge rate）分别设为 150ps 和 300ps。直流电压 1.1 V 施加在封装的 BGA 球上。我们用商业用 3D 软件，如 Cadence Speed2000，进行模拟计算。在时域计算中，374 个芯片一侧的电源或接地凸块彼此相连，而在 BGA 一侧，59 个电源或接地锡球彼此相连。

施加电流的变化频率分别为 1.33GHz 和 655 MHz，它们分别对应 150ps 和 300ps 的缘变化率。电流在时域中的变化如图 10 所示。我们选择了两种

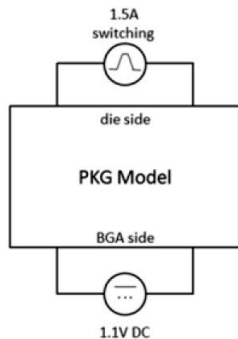


图 9 核心转换导致电压噪声的计算模型

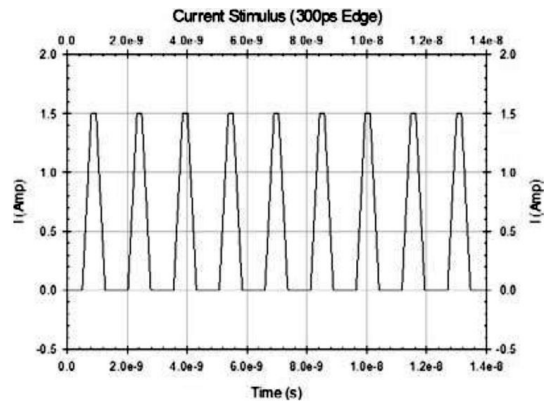


图 10 150ps 和 300ps 激励电流被施加于基板的芯片一侧的凸块上，图中显示的是 300ps 激励电流

不同的变化频率来评估核心 PDN 在“快速”（150 ps）和“慢速”（300ps）条件下的响应。

虽然我们选择一定的缘变化率和电流幅值来展示有核基板与无核基板的核心 PDN 性能差异，但在真实世界中，电流变化相当复杂，随芯片中晶体管的开合不断变化，并非一定是周期性的。在本项研究中，采用简单的开合方式的模拟计算已经足可以用于证明两种基板 PDN 行为的差异。

有核与无核基板对芯片上电流转换的 PDN 响应的模拟结果见图 11（a）和图 11（b）。

两种基板情况下，最坏峰值电压噪声比较见表 3。

标称电源电压是 1.1V。因此，在有核基板的情况下，计算所得的最坏电压噪声是标称电源电压的 +/-56%，而在无核基板的情况下，这个值为 +/-9%。计算结果表明，当工作频率增大时，无核基板与有核基板相比，电压噪声的引入将大大减少，特别是当工

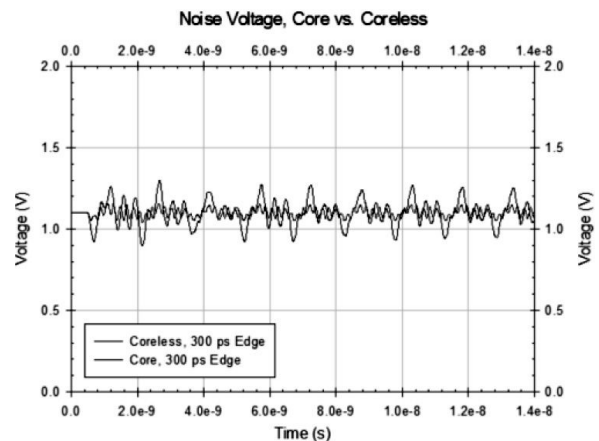


图 11(a) 核心 PDN 对较慢缘变化率的响应

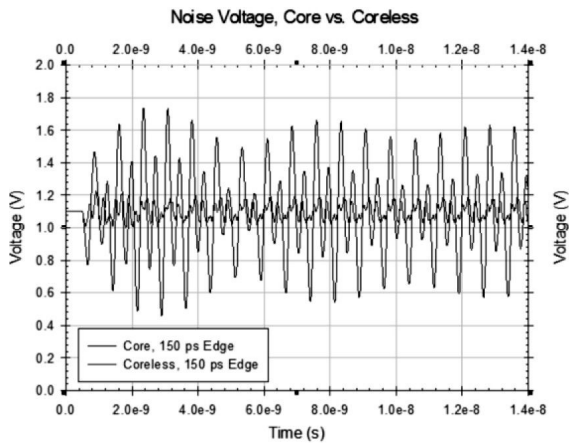


图 11 (b) 核心 PDN 对较快缘变化率的响应

表 3 两种基板电压噪声比较

	Noise Voltage, V_{Np-p}	
	Slow (300ps)	Fast (150 pS)
Core	340 mV	1240 mV
Coreless	100 mV	200 mV

作频率超过 1GHz 时。这种结果是可以预见的,这主要源于无核基板较低的 PDN 阻抗。

5 总结

本文从实验和模拟计算两个方面证实了无核基板技术的特殊优势,特别表现在提高核心供电网络(Core-PDN)的性能上。实验和计算结果都表明,无核基板设计极大提高了芯片应用范围,并能够获得更好的系统性能。无核基板可以使封装厚度减小,也可能减少基板层数,同时,还可以获得更好的电气性能,为满足下一代电子产品需求提供了有效的封

装解决方案。

感谢

衷心感谢 IPC 允许我们以中文形式再次发表本文。本文原载于“IPC 元件会议:缩短芯片和线路板工艺间的距离”,会议于 2013 年 9 月在美国亚利桑那州 Chandler 市举行^[3]。

参考文献

- [1] GaWon Kim, SeungJae Lee, JiHeon Yu, GyuIck Jung, JinYoung Kim, Nozad Karim, HeeYeoul Yoo and ChoonHeung Lee, “Advanced Coreless Flip-chip BGA Package with High Dielectric Constant Thin Film Embedded Decoupling Capacitor”, in proceedings of 2011 Electronic Components and Technology Conference, pp. 596-600
- [2] Istvan Novak, “PicoHenrys in Power Distribution Networks”, DesignCon 2000
- [3] Ozgur Misman, Mike DeVita, Nozad Karim, "IPC Conference on Component Technology: Closing the Gap in the Chip to PCB Process," Chandler, AZ, September 10-12, 2013

作者简介

Ozgur Misman, Amkor 美国 SiP 事业部高级经理;
Mike DeVita, Amkor 美国 SiP 事业部高级工程师;
Nozad Karim, Amkor 美国 SiP 事业部副总裁。