

WLSiP 와 WL3D

Embedded Wafer Level System Integration

엠코테크놀로지는 WLFO(Wafer Level Fan-Out) 패키지를 세계 최초로 제공하는 업체 중 하나로, 다기능 통합 시스템 패키지 솔루션을 지원합니다. 해당 패키지는 싱글/멀티 다이, 수동 소자 및 센서 탑재가능한 WLSiP(Wafer Level System in Package)와 Wafer Level Package-on-Package 및 Face-to-Face Package Assembly 방식으로 구현 가능한 3D Package Stacking Solutions (WL3D)를 포함합니다.

최상의 솔루션을 찾기 위해서는 먼저 고객의 요구사항을 완벽하게 이해해야 합니다. 엠코는 가장 초기 단계인 칩-패키지-보드 설계부터 고객사 및 파트너와 협력하여 패키지 솔루션을 개발합니다. 엠코의 Advanced Package 실력은 인정받고 있으며, 대량 생산에 적용되고 있는 혁신적인 솔루션 포트폴리오를 보유하고 있습니다. 현재까지 가장 신뢰받고 있는 WLCSP도 이 중 하나입니다.

자체 R&D팀을 보유하여 다양한 애플리케이션을 지원하는 혁신적인 패키지 및 시스템 솔루션 설계와 개발이 가능하며, 제품을 시장에 출시할 수 있도록 아이디어 단계부터 지원합니다.

엠코는 웨이퍼 레벨 패키징 분야의 선두 업체로서, 최첨단 300 mm 웨이퍼 처리 장비와 관련해 세계적 수준의 턴키 솔루션을 제공합니다. 더불어, 엠코는 지속적으로 최적의 출시 시간, 비용 효율성 및 수율을 제공합니다.

Reliability: Board Level Tests

WLSiP와 WL3D 패키지는 구조 및 구성이 다양하게 구현 가능하여 고객의 요구사항을 각 제품에 반영하여 개발 가능하며, 기술력을 바탕으로 신뢰성 있는 결과를 실현합니다.

Advanced Packaging Solutions

- ▶ WLSiP 병렬 멀티 칩 모듈
- ▶ 수동 소자 및 무연 솔더 패키지가 집적화된 WLSiP
- ▶ WLSiP 구성 범위에 따라
2 x 3 mm² (2 components)
~ 33 x 28 mm²(10 components)
구현 가능
- ▶ TPV(Through Package Via)를 사용하여 WLSiP와 다른 유형의 패키지를 적층함으로써 WL3D PoP(Package-on-Package) 구현 가능
- ▶ WLFO 패키지에 Flip Chip 패키지를 F2F 어셈블리로 구현한 3D 집적화

Applications

- ▶ 모바일 및 소비자 제품, 베이스밴드 및 RF/무선, 아날로그, 전력 관리
- ▶ ASIC, MEMS, 센서, 의료, 보안, 암호화 처리, DC/DC 컨버터, 레이더, 자동차 전장품을 위한 시스템 솔루션
- ▶ 전기 광학 WLSiP, M2M 통신 및 사물인터넷(IoT)을 위한 솔루션
- ▶ 보다 많은 애플리케이션 지원을 위한 기술 플랫폼 확장 진행 중

테스트	세부항목	기준
복잡도가 낮은 WLSiP		
보드레벨 온도사이클링 실험 (Temperature Cycling on Board, TCoB)	IPC-9701 condition TC3 -40°C/+125°C, 1 사이클/시간	1000 회
낙하 실험	JEDEC JESD-22-B111	100 회
복잡도가 높은 WL3D		
보드레벨 온도사이클링 실험 (Temperature Cycling on Board, TCoB)	IPC-9701 condition TC3 -40°C/+125°C, 1 사이클/시간	1000 회
낙하 실험	JEDEC JESD-22-B111	30 회
항온항습 전위 평가 (Temperature Humidity Bias, THB)	JEDEC JESD-22-A101	85°C/85% RH/Vcc, 1000 시간

WLSiP 와 WL3D

Design Features

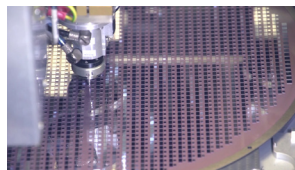
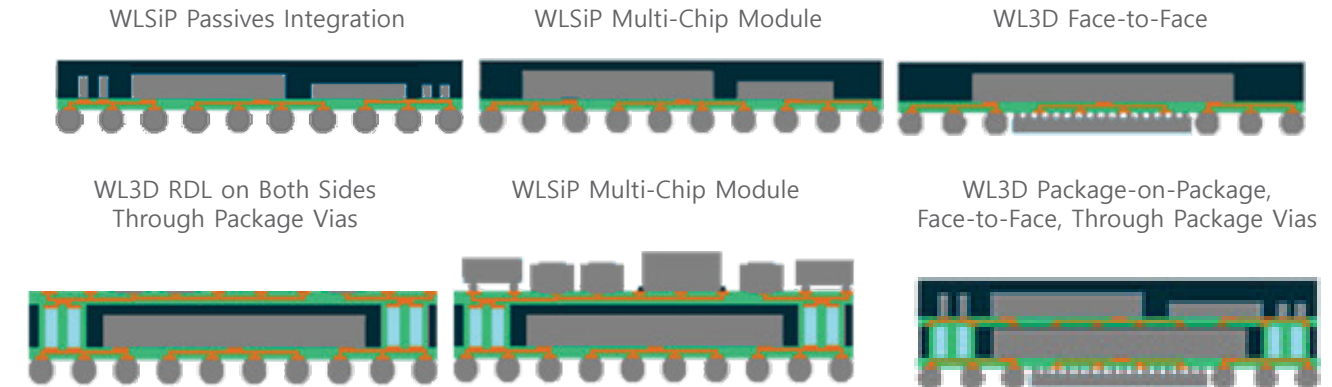
- ▶ 패키지 크기 : 2 x 3 mm² - 33 x 28 mm²
- ▶ 패키지 두께 : 0.275 mm (WLSiP - 멀티 칩 모듈)
~ 1.900 mm (WL3D)
- ▶ 최대 10개 액티브 다이와 50개 수동 소자를 탑재하여 WLSiP 구현 가능
- ▶ 최소 TPV 피치 : 0.350 mm
- ▶ BGA 피치 : 0.350 mm 까지 축소 가능
- ▶ 최소 다이 간 거리 : 0.100 mm
- ▶ 최소 수동소자-다이 및 수동소자-수동소자 간 거리 : 0.150 mm
- ▶ 최소 다이 TV 패드 피치 : 0.050 mm 및 Opening 0.045 mm
- ▶ 하단 Cu-RDL 최소 라인/공간 : 0.010 mm/0.010 mm, Multi-Layer RDL
- ▶ 상단 Cu-RDL 최소 라인/공간 : 0.020 mm / 0.020 mm, Single-Layer RDL

Differentiation

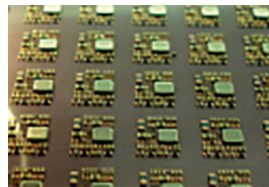
- ▶ 다이 간 거리를 최소화하여 높은 집적도 구현
- ▶ Multi-Layer RDL 및 양면 RDL (WLFO 하단 및 상단)
- ▶ TPV를 사용하여 3차원 적층
- ▶ 소형 폼팩터 (크기 또는 Z 높이에 대한 고객 요구 사항을 기반으로 최적화)
- ▶ 동일 WLFO 바닥면에 BGA 볼 및 언더필 공정이 적용된 Flip Chip 구현 가능
- ▶ 여러 액티브 다이 (Si, GaAs, SiGe), 패키지, 수동 소자, 광학 소자, 센서 및 MEMS 통합 가능

Cross Sections

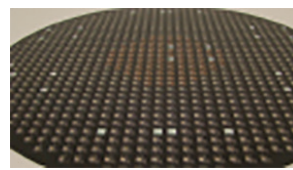
WLFO 기반의 Embedded Wafer Level System 포트폴리오



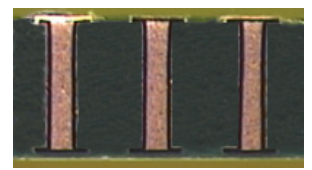
Dual-die Package
Pick & Place



WLSiP Before Molding



WLSiP After Molding



Cross-section
Through Package Vias



보다 자세한 내용은 홈페이지 amkor.com을 참조하시거나 sales@amkor.com으로 문의하여 주시기 바랍니다.

본 문서의 모든 콘텐츠는 저작권법에 따라 무단복제 및 배포를 금지하며, 제공된 정보의 정확성을 보장하지는 않습니다. 앰코는 본 문서의 정보사용에 따른 특허나 라이선스 등과 관련된 어떠한 형태의 피해에 대해서도 책임을 지지 않습니다. 본 문서는 앰코의 제품보증과 관련하여 표준판매약관에 명시된 것 이상으로 확대하거나 변경하지 않습니다. 앰코는 사전고지 없이 수시로 제품 및 제품정보를 변경할 수 있습니다. 앰코의 이름 및 로고는 Amkor Technology, Inc.의 등록상표입니다. 그 외 언급된 모든 상표는 각 해당 회사의 자산입니다.
© 2019 Amkor Technology, Incorporated. All Rights Reserved. DS703B-KR Rev Date: 08/19

