

# 칩 스케일 파워 트랜지스터 패키징

작성자: *Shaun Bowers, VP, Mainstream Advanced Package Integration, Amkor Technology, Inc*

첨단 전력 패키징용 애플리케이션이 다양화되면서 기존 디스크리트와 전력 모듈 설계 사이의 격차를 메우기 위한 새로운 패키지 설계 개념이 필요하게 되었습니다. 통합 전력 시장은 기존의 첨단 전력 반도체 기술과 함께 지속적으로 확장 및 발전하고 있습니다. 새로운 통합 전력 패키징 기술 도입을 위해 현재 환경과 향후 과제 파악이 필요합니다.

## 발전하는 전력전자 시장

통신, 데이터센터, 전기 및 하이브리드 전기 자동차, 무선 전력은 첨단 전력전자 설계를 주도하는 애플리케이션들입니다. 글로벌 데이터센터 전력 시장만 하더라도 2019년부터 2025년까지 연평균 복합 성장률이 12%에 달하며 2025년 말까지 약 10억 달러 규모에 이를 것으로 전망되고 있습니다[1]. 그러나 모든 전자 제품에는 DC-DC 변환기, DC-AC 변환기 및 간단한 전원 스위치가 필요합니다. 오늘날 전력전자 장치의 설계를 개선하기 위해서는 다음 사항이 필요합니다.

- 낮은 저항/인덕턴스
- 통합 컨트롤러/로직/수동소자
- 더 작은 폼팩터

낮은 저항( $R_{DS(on)}$ )과 낮은 인덕턴스( $L_{DS}$ )는 전력 회로의 변환 손실 감소에 필요합니다. 이러한 설계 세부 사항에 주의를 기울이지 않으면, 패키지의 가능 출력 한계로 인해 더 큰 전력 손실 또는 낮은 전력 애플리케이션을 처리해야 합니다. 많은 전원관리 집적회로(IC)의 가용성으로 컨트롤러 통합은 더욱 보편화되었습니다. 모든 최종 설계에서 여유 공간이 많을수록 좋기 때문에 더 작은 폼팩터는 필수입니다.

점점 더 까다로워지는 시스템 설계 요구사항을 해결하기 위해, 전력 디스크리트 패키징은 스루홀에서 리드가 있는 SMD 로, 그리고 리드리스 SMD 에서 듀얼 사이드 쿨링 및 칩 스케일 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) SMD 로 발전했습니다. 이러한 요구사항을 충족하는 현재 옵션에는 PQFN(Power quad flat no-lead), 라우팅 가능 리드 프레임 및 eD2PAK(exposed double-decawatt package), TOLL (TO-leadless package) 및 LFPAK(loss-free package)를 포함한 여러 디스크리트 솔루션이 있습니다. **그림 1** 은 기존의 디스크리트 전력 패키징의 예시와 PQFN 패키징의 발전을 보여줍니다. **표 1** 에서는 이러한 패키지의 다양한 특징을 비교합니다.

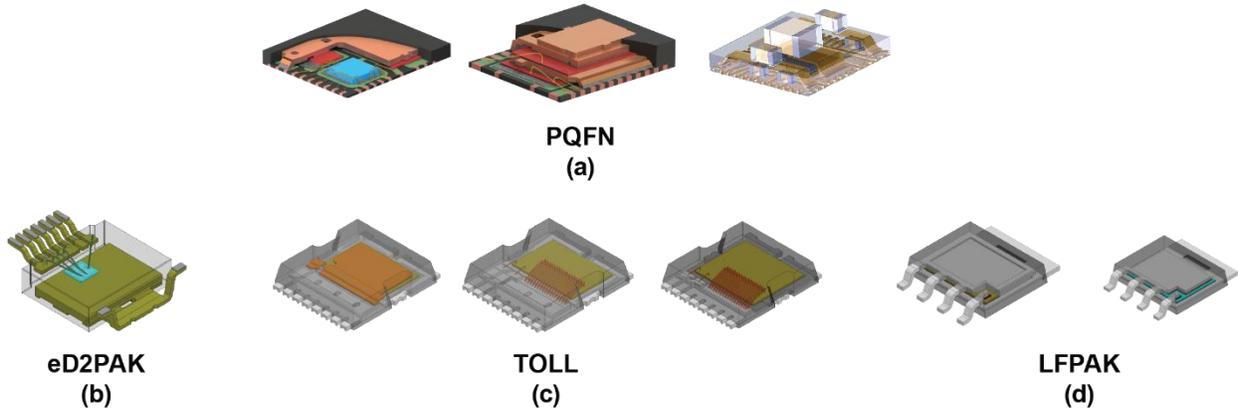


그림 1: 사용 가능한 전력 디스크리트에는 a) PQFN, b) eD2PAK(히트 스프레더 탭 포함), c) TOLL 제품군 및 d) LFPAK 가 포함됩니다.

Pkg Type	Pkg Size (mm)			mm <sup>2</sup>	Total Copper Volume %
	x	y	h	Area	
eD2PAK	14	11.7	3.6	163.8	28.96%
D2PAK	10	10.5	4.45	105	23.24%
TOLL Wire	9.9	10.4	2.3	102.96	17.23%
TOLL Clip	9.9	10.4	2.3	102.96	20.10%
PQFN	5	6	0.83	30	13.65%
LFPAK-BL	4.9	4	1.05	19.6	32.07%

표 1: 기존 전력 패키지 비교 데이터

실리콘 카바이드(SiC), 질화 갈륨(GaN) 등 와이드 밴드갭(WBG) 반도체 기술은 실리콘 MOSFET 에 비해 성능지수(FOM)가 높고, 전력전자 장치의 효율성, 출력 전력 및 스위칭 주파수 범위, 작동 온도 범위를 확장했습니다. 동시에 전력 패키지에 대한 새로운 도전과 기회를 창출했습니다.

손실을 줄이면서 같은 크기의 전력 장치로 더 높은 전력 부하를 제어할 수 있게 되었습니다. 예를 들어, 질화 갈륨(GaN) 전력 트랜지스터를 사용하는 전력 시스템은 실리콘 기반 시스템 대비 크기, 무게 및 효율성 손실이 1/4 수준입니다. 질화 갈륨 기술은 무선 시스템 등에서 저전력(50W) 엔드부터 중/고전력 레벨까지의 시스템 문제를 해결할 수 있습니다. 질화 갈륨 기술은 5G 애플리케이션에서 사용되며 정교한

중저전력 패키징에 적합합니다. 마찬가지로 실리콘 카바이드(SiC)는 실리콘 MOSFET 보다 더 많은 전력 제어 기능을 갖추고 있으며, 다양한 애플리케이션에 맞는 첨단 패키징을 필요로 합니다. 와이어 밴드캡(WBG) 디바이스의 장점을 누리기 위해서는 새로운 패키징 옵션이 필요하고 이를 통해 전체 전력 시스템의 가치를 극대화할 수 있습니다.

실리콘 카바이드/질화 갈륨 전력 기술의 사용을 가속화하기 위해 산업 표준화 작업이 진행중입니다. 이는 2017 년 시작된 JEDEC 솔리드 스테이트 기술 협회의 JC-70 위원회에서 중점을 두고 있는 부분입니다. 전력 변환 애플리케이션에서 질화 갈륨 장치의 강건성을 보장하기 위해 최근 JEP180, “Guideline for switching reliability evaluation procedures for gallium nitride power conversion devices [2],”이 발표되면서 혁신적인 패키징에 대한 관심이 높아지고 있습니다. 자동차 관련 회사와 JC-70 가 지속적으로 논의도 하고 있습니다. 산업 표준은 실리콘 카바이드/질화 갈륨 전력 기술의 사용을 가속화할 수 있는 지속적인 개발 과정의 일환입니다.

마찬가지로 JC-70.2 소위원회에서 SiC 전력 장치의 테스트 및 신뢰성에 대한 가이드라인을 설정하고 있습니다. 두 가지 노력 모두 이러한 첨단 반도체 기술 채택을 장려하고 더욱 쉽게 이루어질 수 있도록 합니다. 특히 패키징 기술이 반도체의 기능과 일치하는 경우 더욱 그렇습니다.

## 현재의 패키징 기술 격차

오늘날의 디스크리트 전력 패키지는 클립, 와이어 및 솔더 인터페이스의 전기적 성능으로 제한되어 있습니다. 일반적으로 디스크리트 패키징은 사이즈/용량이 클수록 전력 처리 능력이 향상된다는 디자인 철학을 따릅니다. 하지만 보다 효율적인 트랜지스터 기술 (예: GaN 및 SiC)은 동일한 크기의 패키지에서 더 많은 전력을 처리하거나 폼팩터의 크기를 현저히 줄일 수 있습니다.

PQFN 패키지는 전력 MOSFET 이 동일 패키지 내에 적층 혹은 병렬 연결되는 멀티다이를 처리할 수 있습니다. PCB 공간을 줄이고 전기 효율을 개선하기 위해 인덕터와 수동 장치를 패키지 내부 또는 상단에 통합할 수 있습니다.

디스크리트 전력 패키징과 PQFN 패키징은 열 방출 문제 해결에 적합한 인터페이스와 애플리케이션에 필요한 전력을 처리할 수 있는 패키지 크기를 효과적으로 통합하기 어렵다는 과제에 지속적으로 직면하고 있습니다. LFF (대형 폼팩터) PQFN 패키지에는 수동 통합을 위한 노출 패드가 있지만 리드 프레임의 I/O 밀도 및 Cu 두께에 한계가 있습니다. LFF PQFN 패키지를 이용하면 열 용량을 포기하고 많은 다이 부착 단계로 인해 공정이 복잡해지는 점을 감안해야 합니다.

수백 또는 수천 와트를 처리하는 애플리케이션에서 가장 높은 전력 요구 사항을 충족하기 위해, 전력은 전력 모듈에 패키지화 되고 패키지 크기는 밀리미터에서 센티미터로 커집니다. 이러한 패키지는

일반적으로 볼트와 너트를 통해 대형 방열판에 부착되며 나사로 연결된 대형 와이어 또는 케이블을 통해 전기적으로 연결됩니다. 이러한 고전력 모듈은 시스템 레벨에서 수냉각될 수도 있습니다. **그림 2**에서 볼 수 있듯이, 이로 인해 중저전력 범위에 격차가 발생합니다. 이 격차는 디스크리트 디바이스나 대형 전력 모듈로 해결되지 않으며, 혁신과 최적화를 통해 채워 나가야 할 것입니다.

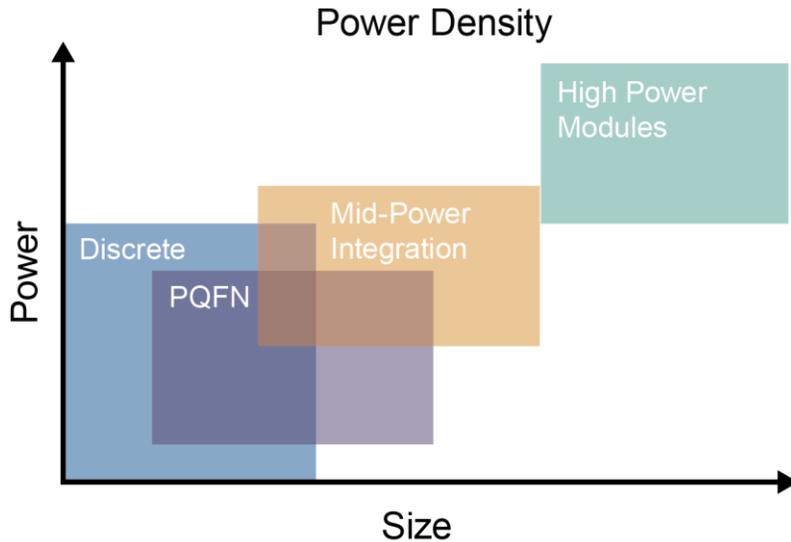


그림 2: 중저전력 애플리케이션은 디스크리트 및 PQFN 패키지와 공통점이 있는 혁신적인 통합 전력 패키징에 기회를 제공합니다.

임베디드 기술과의 격차를 해소하려는 시도는 복잡한 설계로 낮은 수율 문제에 취약하게 하였지만, 특정 애플리케이션 요구 사항을 해결했습니다. 특히 많은 회사들이 목표로 삼았던 틈새 시장을 고려하면 기술적인 성공으로 생각될 수 있지만, 널리 채택되지 못했습니다. 대부분 기판 제조업체를 통해 공급망이 구축된 상황에서 수율 및 비용 책임은 주요 전력 패키징 기술로의 전환이나 채택을 지연시켰습니다.

궁극적으로 손실 인터페이스를 제거하면서 패키지 밀도에 대한 전력 증가의 필요성이 높아지면서 중저 전력 애플리케이션을 위한 새로운 통합 전력 패키징 개념에 대한 기회의 창이 형성되었습니다.

### PowerCSP™ 설계 개념 소개

이 통합 전력 공간의 기능을 근본적으로 개선하기 위해선 다음 3 가지가 필요합니다. 첫째, 소스 및 드레인의 총 전도성을 최대화해야 합니다. 둘째, 열 및 전기 인터페이스를 제거하거나 길이/두께를 상당히 줄여야 합니다. 셋째, 패키지의 전도성 재료 밀도를 높여야 합니다. 전력 애플리케이션용 칩 스케일 패키지 (CSP)를 재구성하거나 새로 만드는 PowerCSP™ (PCSP) 기술은 이러한 세가지 목표를 모두 달성하는 동시에 디바이스의 전체 크기를 줄입니다. **그림 3**은 히트 스프레더(HS) 및 기타 옵션을 포함한 이 패키지 설계의 주요 부분을 보여줍니다.

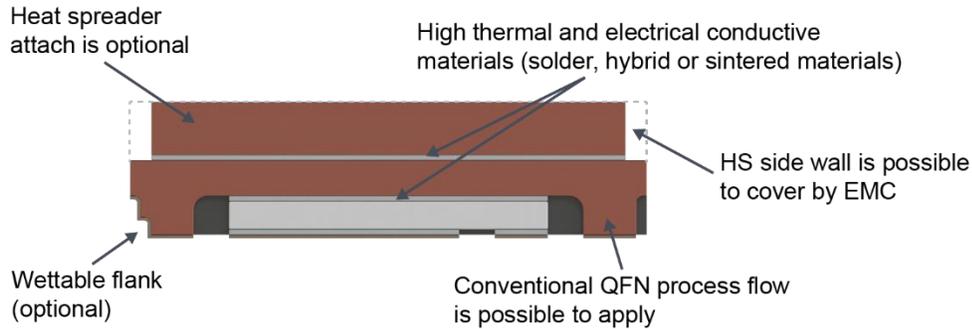


그림 3: PowerCSP™ 기술의 첫번째 구현을 통해 기술의 유연성과 다양한 구성 옵션을 확인할 수 있습니다.

기존 전력 패키징에서 전체 전도성을 극대화하려면 다이 설계에서 사용 가능한 공간의 100% 또는 그에 가까운 수준으로 전류 전달 소재에 소스 및 드레인을 연결해야 합니다. 이것은 일반적으로 와이어 수의 증가, 와이어 직경 확대, 소스 또는 드레인 연결 클립 크기의 최대화를 통해 이루어졌습니다. PowerCSP 기술은 전류 전달 및 열 방출 역할을 하는 Cu 패드를 통해 다이가 직접 연결되게 설계함으로써 다이가 모든 소스와 드레인 영역을 사용할 수 있도록 합니다. 그림 4에서 연결 옵션을 확인할 수 있습니다.

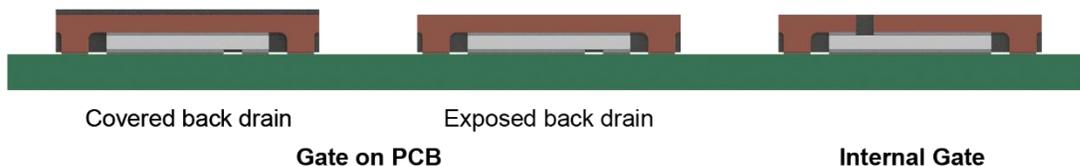


그림 4: PowerCSP™ 설계는 칩 스케일 전력에 대한 다양한 연결 옵션을 제공합니다.

전력 장치의 각 인터페이스는 열 또는 전기 스로틀(throttle)로 작용하거나 열악한 환경에서는 오류를 발생시킬 수 있습니다. 따라서 장치와 시스템의 인터페이스가 적을수록 더 좋으며 이러한 인터페이스를 제거하여 예측 가능한 전기 경로를 제공하는 것이 최근 트렌드입니다. PowerCSP 기술은 다이에서 전류 전달 소재로의 단일 연결에 대한 인터페이스를 최소화하고 소스 또는 드레인이 PCB 나 기타 기판의 공급장치 또는 신호에 직접 연결되도록 합니다.

전기적, 열적 특성을 모두 최대화하기 위해 패키지 내에 최대한 많은 전도성 재료를 하우징해야 합니다. 오늘날 대부분의 전력 패키징에서 전도성 재료는 25%이상 사용되지 않지만 (표 1 참조) 당사의 새로운 기술은 일반적으로 40~70% 정도를 사용합니다. 이러한 높은 사용률은 클립 대신 연속 Cu 기판 사용에 기인합니다.

전기적, 열적 특성을 모두 최대화하기 위해 패키지 내에 최대한 많은 전도성 재료를 하우징해야 합니다. 오늘날 대부분의 전력 패키징에서 전도성 재료는 25%이상 사용되지 않지만 (표 1 참조) 당사의 새로운 기술은 일반적으로 40~70% 정도를 사용합니다. 이러한 높은 사용률은 클립 대신 연속 Cu 기판 사용에 기인합니다.

시장의 특정 요구 사항을 충족하기 위한 맞춤형 전력 패키징 설계가 많이 있지만, 광범위한 사용을 위해서는 현재 사용되는 수직 및 수평 MOSFET 설계의 많은 부분을 수용하는 유연한 설계가 필요합니다. PowerCSP 패키지는 핵심 개념을 활용하여 고전력 밀도를 유지하면서 다양한 애플리케이션의 요구 사항을 충족할 수 있습니다. 설계가 노출된 소스 및 게이트를 포함하든, 패키지 내부에 라우팅 게이트를 포함하든, 새로운 기술을 사용하는 모든 설계는 높은 전력 밀도, 높은 전도성 재료 밀도 및 최소 인터페이스를 달성합니다. 또한 패키지에는 추가 두께 방열판, 단면 또는 양면 드레인 설계와 개별 장치 성능에 필요한 솔더, 소결 또는 하이브리드 소재가 사용될 수 있습니다. 필요한 경우 웨터블 플랭크 기술과 같은 애플리케이션용 기술도 사용 가능합니다. 이 새로운 패키지의 전반적인 크기는 개별 다이 크기에 맞게 조절하거나 일반 산업용으로 사용할 수 있습니다. 그림 5는 변형 가능한 패키지 몇 가지를 보여줍니다.



그림 5: PowerCSP™ 설계의 유연성을 기반으로 한 칩 스케일 전력의 패키징 종류

실리콘, 질화 갈륨 또는 실리콘 카바이드 기술에 상관없이 모든 반도체 전력 장치가 당면한 문제 중 하나는 높은 작동 온도입니다. 자동차의 경우 후드 작동 시 전력 장치가 175°C ~ 200°C의 온도에서 작동해야 하는 최악의 조건을 보입니다.

PowerCSP 설계는 소형 폼팩터를 구현하기 위해 패키지 측면 사용 구리 양을 제한하고 있습니다. 새로운 기술은 다이 위에 두꺼운 리드 프레임을 사용하지만 소형 폼팩터 덕분에 패키지 질량과 크기가 상당히 감소합니다. 이 때문에 통합 열 용량을 줄이고 일부 애플리케이션에 맞는 열 솔루션 달성을 위해 외부 방열판이 필요합니다. 그림 6은 패키지가 단독으로 열 방출을 담당할 때 모델링된 다양한 패키지의 상대적 접합 온도와 질량을 보여줍니다. 방열판 사용 또는 추가가 용이한 경우, 이 문제는 쉽게 해결할 수 있습니다.

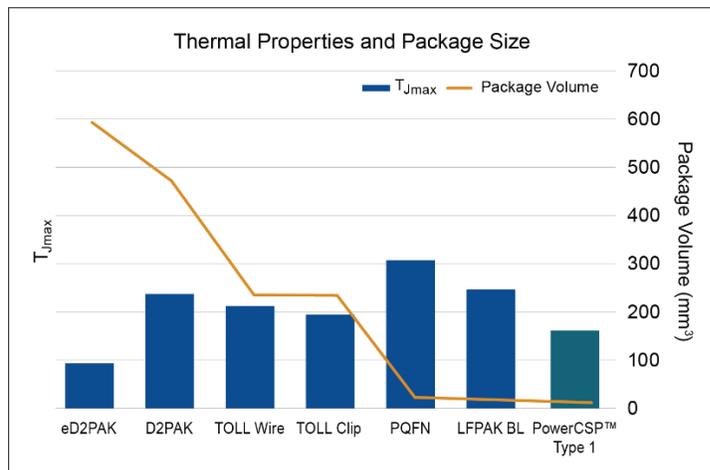
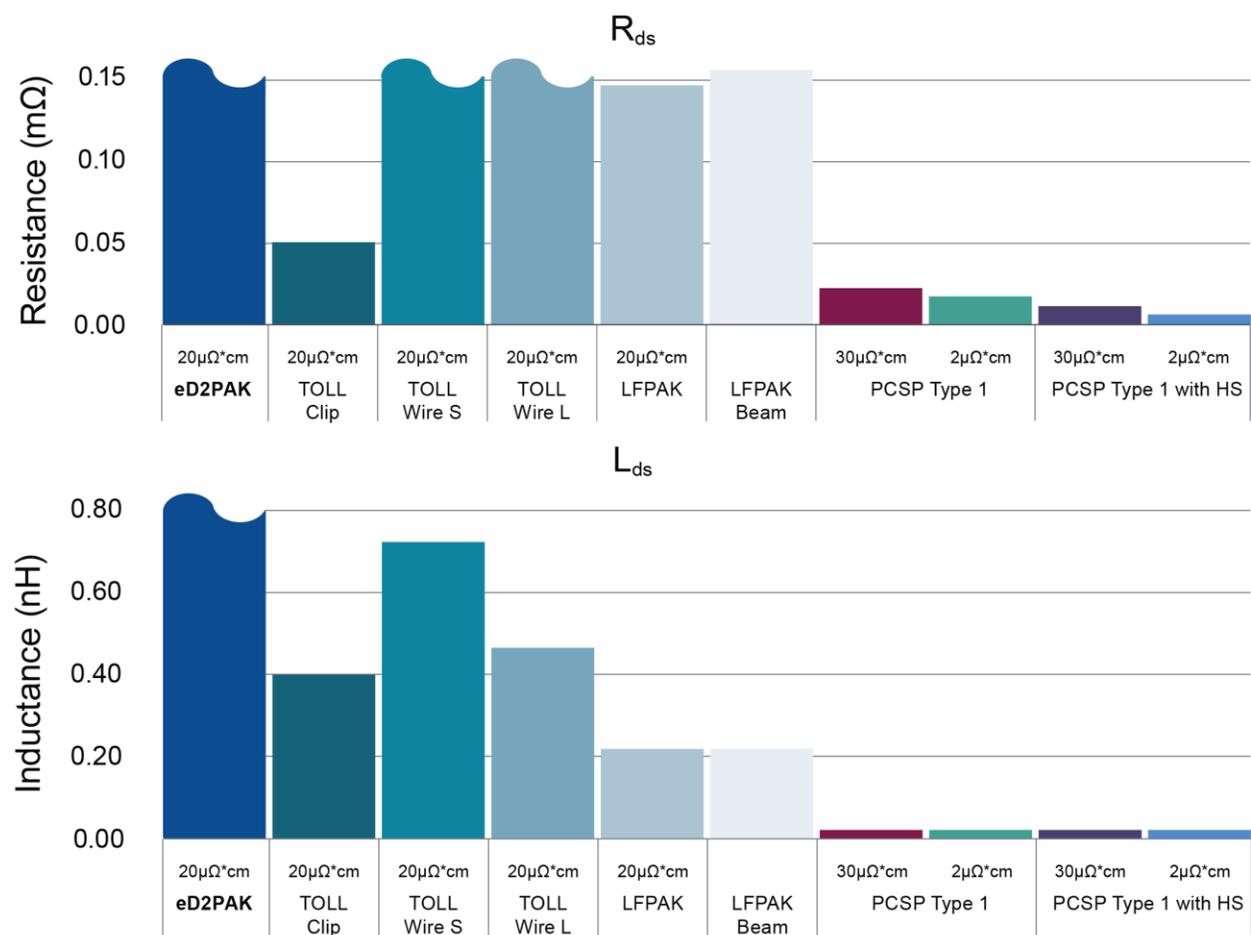


그림 6: 다양한 전력 패키지에 대한 상대적 접합 온도 vs 패키지 부피

각 설계 변형 시 이미 안정적으로 완성된 고밀도 전력 장치를 사용하기 위해 정제된 공정을 계속 활용합니다. 와이어 및/또는 클립이 필요하지 않기 때문에 기존 전력 패키징에 비해 제조 공정 단계가 간소화됩니다. PowerCSP 설계의 경우, 전기 클립을 프레임으로 사용해 제조 공정에서 2~3 개의 공정 과정을 생략할 수 있습니다. 주요 공정 과정은 다이 부착, 몰드 및 싱글레이션이지만, 다른 변형 패키지에서는 와이어 본드, 솔더 프린팅, 클립 배치 및 추가 세척 단계 같은 과정이 추가될 수 있습니다.

PowerCSP 설계 요소를 사용하면 다른 디스크리트 패키지에 비해 낮은 저항(R), 낮은 인덕턴스(L), 양호한 전기 용량(C)을 달성합니다. **그림 7** 에서 다른 디스크리트 전력 패키지 (그림 1 참조)에 대한 패키지의 모델링된 RLC 와 다이-본체 연결에 다른 인터페이스 재료를 사용한 패키지를 확인할 수 있습니다.



## Ciss

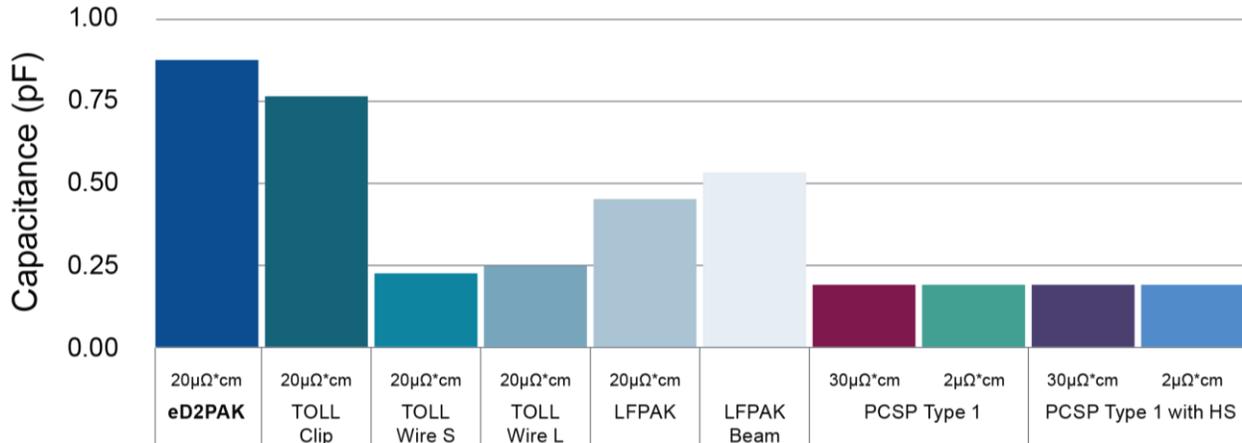


그림 7: PowerCSP™ (PCSP) 설계를 위한  $R_{DS}$ ,  $L_{DS}$ ,  $C_{iss}$  와 eD2PAK, TOLL, LFPAK 패키지의 다양한 버전 시뮬레이션 비교

매우 높은 밀도의 전도성 재료를 사용하는 패키지의 경우 결과물 예측이 가능합니다. 전도성 인터페이스가 크고 PCB 에 직접 연결되기 때문에 다른 패키지에 비해 저항이 매우 낮습니다. 같은 이유로 인덕턴스가 낮고 캐패시턴스는 다른 패키지보다 약간 낮습니다. RLC 성능은 다이 부착 재료의 전도성 또는 새로운 설계의 두께에 크게 영향을 받지 않지만, 기본 관점에서 열과 최대 전류 전달에 도움이 될 것입니다. 와이어를 사용하는 장치에 비해 손실 밀도는 매우 낮습니다. 전기 시뮬레이션을 통해 더 작은 패키지와 훨씬 더 큰 패키지에 비해 뛰어난 설계의 성능을 검증할 수 있습니다.

## PowerCSP 를 활용한 중저전력 통합

전력 시장 내 통합이 대세가 되고 있으며 전력 밀도는 다양한 통합 방법을 적용하는 데 있어 중요한 역할을 합니다. 중저전력 범위에서의 통합은 사용 사례와 기존 패키지 형식에 따라 다양한 방법이 있습니다.

세 가지 기본 접근 방식은 다양한 통합 경로를 설명합니다. 하나는 단순히 컨트롤러와 MOSFET 장치를 분할 패드 리드 프레임 혹은 PQFN 에 포함시키는 것입니다. 이것은 일반적으로 쓰이는 방법이지만, 전력과 성능면에서 사용상 한계가 있고, 패시브 요소를 추가하는 옵션은 보통 패키지 완성 이후 수행됩니다. 또 다른 방법은 절연 게이트 양극성 트랜지스터(IGBT) 모듈에서 일반적으로 사용되는 DBC(Direct Bonded Copper)와 같은 몰드 인터페이스 내에 더 특별한 재료를 사용하는 것입니다. 마지막으로, MOSFET 다이를 라미네이트 기판 또는 재배선층(RDL) 패키지에 직접 내장(임베드)하는 방법이 있습니다. 임베드드 옵션은 중간 전력 옵션이라는 장점이 있지만 공급망 문제로 완전 내장 옵션은 널리 사용되고 있지는 않습니다. 이러한 각 통합 방법에는 장단점이 있지만, 몇 가지 공통 특성이 있습니다. 모두 FET 의 소스 및 드레인에 대한 접촉 면적을 최대화하고, 모듈 내에 가능한 한 많은 전도성 재료를 배치하고, 성공적인 통합을 위해 전기 경로를 축소 설계하려고 합니다.

PowerCSP 기술을 사용하는 통합 접근 방식은 다른 접근 방식의 몇 가지 근본적인 문제를 해결할 수 있습니다. 공통 폼팩터를 기반으로 이 접근 방식을 더 많은 주류 모듈에 통합하면 채택 범위가 확대될 것입니다. MOSFET 을 사전 패키징하면 개별 또는 전체 테스트가 가능하므로 수율 향상을 위한 KGD(known good die) 형태로 처리될 수 있습니다. 패키지를 기판과 PCB 에 직접 장착하면 전반적으로 복잡성과 비용을 줄일 수 있습니다.

모듈식 접근 방식은 통합 장치에 대한 특정 설계 옵션 덕분에 전체 시스템 성능을 향상시킵니다. PCB 로 직접 연결되는 시그널 경로는 낮은 저항/인덕턴스를 유지합니다. 고밀도이지만 소형인 폼팩터 패키지를 사용하면 설계에 중요한 영역에만 두꺼운 Cu 인터페이스를 사용할 수 있습니다. 그리고 성능과 비용을 위해 중요한 부품 및 장치의 위치를 최적화할 수 있습니다. 이 접근 방식을 일반적인 하프 브리지 회로에 적용하면 자유로운 설계의 장점이 분명해집니다. 하프 브리지 회로에서 성능에 큰 영향을 미치는 중요한 설계의 측면 중 하나는 MOSFET 의 소스에서 다른 MOSFET 의 드레인 및 인덕터까지의 거리입니다. PowerCSP 설계를 사용하면 인덕터를 MOSFET 사이에 직접 배치할 수 있으며 거리가 매우 짧아지고 최적화되어 MOSFET 과 수동 부품 사이의 라인 인덕턴스를 최소화할 수 있습니다. **그림 8**에서 이 방식을 확인할 수 있습니다.

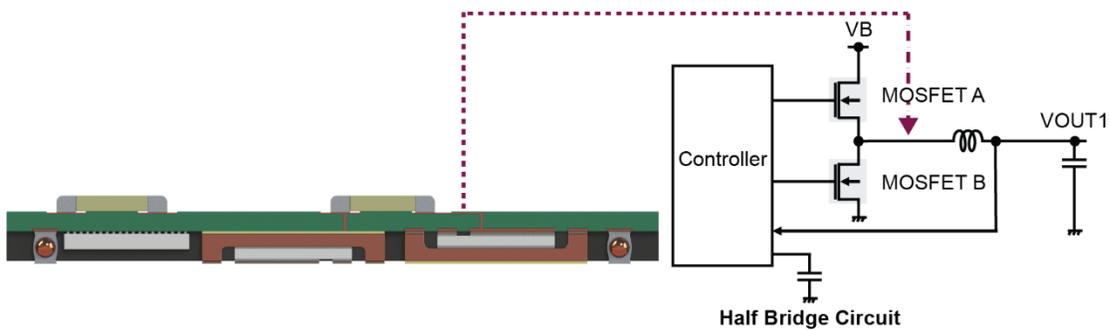


그림 8: PowerCSP™ 설계 방법을 사용한 전력 모듈 패키지 구성 가능

추가 통합이 필요하거나 MOSFET 의 양쪽에 라우팅이 필요한 경우, 기판 기술에 내장하는 대안으로 사용 가능한 간단한 개념이 있습니다. **그림 9**에서는 두개의 얇은 라미네이트 구조가 그 사이에 몰딩된 MOSFET 구조와 함께 사용되는 것을 확인할 수 있습니다. 이러한 설계와 프로세스는 안정적이지만, 전력 분야보다는 주로 모바일 애플리케이션에 사용됩니다. 단순성과 프로세스의 재사용으로 기술 성숙도가 높고 출시가 빨라 향후 중요한 대안이 될 수 있습니다.

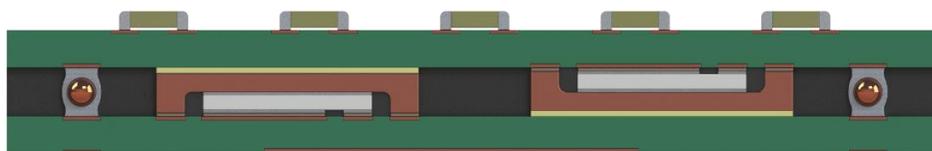


그림 9: PowerCSP™ 설계 방법을 사용으로 향상된 전력 통합

## 중저전력 통합 혁신

첨단 전력 트랜지스터 기술뿐만 아니라 자동차, 통신, 데이터센터, 소비자 및 기타 분야의 전력 전자 장치용 새로운 애플리케이션들의 등장으로, 전력 변환 부분에서 기존 디스크리트 전력 패키지와 전력 모듈 간의 격차를 메우기 위한 혁신적인 전력 패키징에 대한 필요성이 증가했습니다.

PowerCSP 설계를 통해 고출력 밀도 패키지를 현실화한 MOSFET CSP 제품을 만들 수 있습니다. 이 기능은 실리콘 카바이드 및 질화 갈륨 트랜지스터에 적용할 수 있으며 통합의 핵심 요소입니다. 다이 사이즈나 표준 대용량 포맷으로 확장 가능한 소형 폼팩터를 사용합니다. 이 설계는 다양한 애플리케이션을 처리할 수 있는 유연성을 갖추고 있으며, 비용 절감이 필요한 경우에만 KGD 및 두꺼운 구리를 사용하며, 효율성을 높이고 노이즈를 낮추기 위해 능동/수동 소자에 대한 전기 경로를 줄입니다. 이 설계 방법에 대한 특허가 출원되었습니다.

스마트폰과 같은 저전력 시장은 이미 웨이퍼 레벨 CSP MOSFET 을 구현했습니다. 마더보드 또는 도터보드에 직접 전력 트랜지스터를 장착하는 것은 이미 진행중이며, 첨단 칩 스케일 전력 패키지 가용성에 따라 확장될 가능성도 있습니다. 소비자 전력 전자기기의 표면 장착 패키징 사례와 함께, 저전력 애플리케이션의 저소음 패키지 사용은 당사의 새로운 방법론과 설계 철학을 고(중)전력 분야로 확장하는 기회를 제공할 것입니다.

IDM 은 일반적으로 자체 패키징 방식을 보유하며, 특수한 경우 OSAT 업체를 이용해 왔는데, 통합 전력이 전문 OSAT 업체와 계약하는 이유로 작용할 수도 있습니다. OSAT 업체 고유의 공급망 강점과 더불어, 새로운 설계 접근 방식을 통해 더 작고, 더 차갑고(적절한 히트 스프레더 사용), 더 조용하게 만들면서 비용을 절감할 수 있는 이점도 있습니다. 이러한 장점을 결합하면 저저항/저인덕턴스 패키지를 다양한 분야에서 사용할 수 있습니다.

## 안내

PowerCSP 는 앰코테크놀로지(주)의 등록상표입니다.

## 참고 자료

1. "Global data center power market size to generate revenues," Arizton Advisory & Intelligence report; <https://www.openpr.com/news/2047478/global-data-center-power-market-size-to-generate-revenues>
2. "Guideline for switching reliability evaluation procedures for gallium nitride power conversion devices," JEP180; <https://www.jedec.org/standards-documents/docs/jep180>

## 약력

Shaun Bowers 는 Amkor Technology, Inc.(Tempe, AZ) Mainstream Advanced Package Integration 의 VP 입니다. 2000 년 당사에 입사했으며 현재 자동차, 리드 프레임 및 전력 사업 부문의 패키지 개발을 담당하고 있습니다. 이전에는 기술 프로그램 관리, 영업 및 고객 서비스도 담당했습니다. 당사 근무 전에는 Johnson Matthey Electronics 및 Honeywell Electronic Materials 에서 근무했습니다. 그는 Gonzaga 대학에서 기계 공학을 전공했습니다. 이메일 [shaun.bowers@amkor.com](mailto:shaun.bowers@amkor.com)