

优化网络通信的先进封装

作者: Amkor Technology, Inc. 产品营销与业务开发高级总监 Vik Chaudhry 和
先进封装与技术集成副总裁 Mike Kelly

全球数据需求与日俱增。不管是 Ring 之类的安保摄像头，还是 Amazon 或 Google 智能音箱，或者流媒体设备和服务（如 Roku 和 Apple Plus），随着我们身边的智能设备数量增加，它们所传输的数据也呈指数成长。据估计，100 亿台物联网（IoT）设备（见图 1）每月传输的数据量达到 30 艾字节（ 30×10^{18} 字节）。其中 70% 的数据今天以流媒体视频的形式出现。此类视频内容数据预计将在 2022 年增加 80%。与此同时，数据传输速率将在这十年的中期左右加速到每秒 1 太字节以上 [1]。

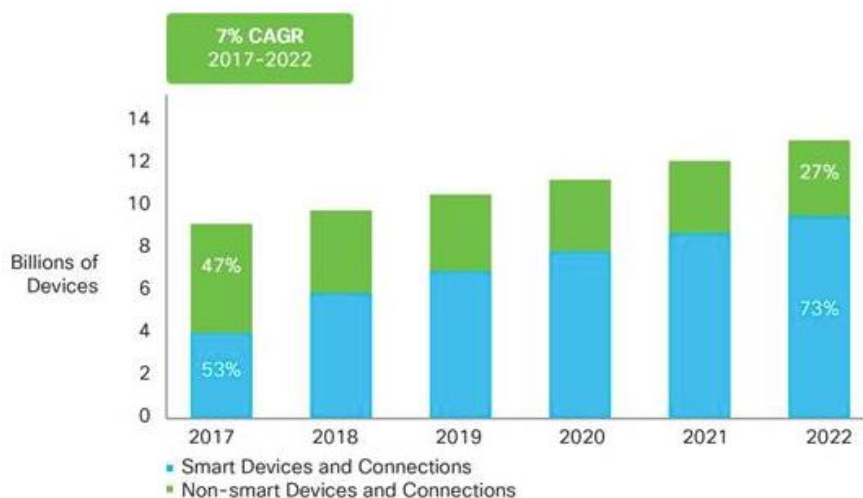


图 1. 到 2020 年，IoT 设备的数量将从今天的 100 亿台增加到 120 亿台。

资料来源: Cisco VNI Mobile, 2019 年。

如此海量的数据传输对承载大部分信息的超大规模数据中心形成巨大的压力。当客户想得到这些服务时，数据中心需要快速响应，以确保信息及时、无延迟地返回到客户手中。这意味着数据中心的网络设备需要以更快速度处理大量数据。

虚拟化和软件定义网络（SDN）在超大规模数据中心内部引发多层交换。数据在发回到消费者前可能经过数据中心的 TOR 脊叶交换机。在较老旧的数据中心内，TOR 连接在一起的南北流量十分常见。相比之下，超大规模数据中心会采用 SDN 和虚拟化方式提供更多东西向流量。数据在许多服务器之间分配，因此需要使用脊叶交换机。

集成封装解决方案

为了增强高性能交换机的性能，不同构件有越来越靠近彼此的趋势。传统上，所有这些构件可被集成在系统级芯片（SoC）上，但此方法存在两个问题。其一是，此类 SoC 可能变

得过大，甚至大于光罩的尺寸。在先进制程节点，如 7 纳米，这些器件的成本可能过高。另一个问题是，随着晶片尺寸增大，良率会快速下降。这使得原本就非常昂贵的解决方案变得更加昂贵。

要解决这些问题并提供第三种替代方式，越来越多工程师开始采用“小芯片”法，在单个封装中集成多件小尺寸晶片。只有需要较小制程节点的逻辑部分会保留在原来节点，而其他模拟或串行/解串器（SerDes）功能，或存储器则在更大的制程节点晶片上设计与实现。在同一封装中，不同晶片紧紧挨着彼此。小芯片法帮助降低整体成本，改善个别良率并提供出色的性能。有些客户还希望将逻辑晶片分为两个部分，这就是所谓的“晶片分割”。这项技术可以进一步提高大尺寸逻辑晶片的良率。

图 2 是部分系统设计师构建其解决方案的方式示例。搭载 SerDes 和高带宽存储器（HBM）的专用集成电路（ASIC）提供完整的解决方案。这些设计中的 HBM 数量持续增加，部分解决方案设法在一个封装中集成多达 6-8 个 HBM 堆栈。由于 SerDes I/O 芯片无法随制程演进，并且可以在较老旧，成本较低的硅节点使用，因此使用分立 I/O 芯片。这使知识产权（IP）复用成为可能，因为相同晶片可用于其他产品，并突破单颗 SoC 晶片 I/O 数量限制。

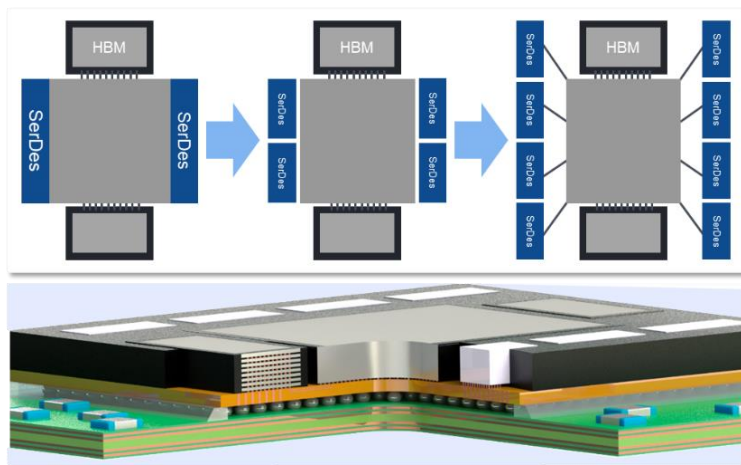


图 2. 分立 I/O 和 IP 重用示例。

有许多方法可以实现不同类型半导体技术的封装级集成或异构集成。多芯片模块（MCM）法便是其中之一，它将不同晶片贴装到封装基板。第二种方法采用高密度模块，例如，2.5D 结构，通过使用硅介质层将不同晶片连接在一起。还有一种方法则采用高密度扇出（HDF0）技术，以铜和有机电介质制造介质层。它使高成本介质层晶片变得不再必不可少。HDF0 子系统可被置于封装基板上方。Amkor 将此类结构称作 S-SWIFT®（基板硅晶圆集成扇出技术）封装。

具有这些增加的功能，ASIC 晶片似乎与完整的光罩尺寸接近。有些封装基板目前在和分

立 HBM 和 SerDes 芯片集成以后，其尺寸可接近于 75 x 75 毫米和 85 x 85 毫米，高密度模块的尺寸则接近 40 x 50 毫米。展望未来，部分封装将包含硅光子，每边可达到 100 毫米。

若数据速率高于 50 Gbps，可使用四级脉冲振幅调制（PAM4）来降低尼奎斯特频率并减少通道损耗。根据 SEMI 的“异构集成路线图”（2019 年版）[2]，为避免出现与 PAM 相关的信噪比（SNR）降低、功率和串扰上升问题，“可使不同器件彼此更加靠近，从而缩短互连距离的高度集成系统是长期的解决方案”。

先进的多层封装

SWIFT 封装是 Amkor 在 2013 年开发的一项高密度扇出（HDFO）技术。此设计可以在日益变小和紧凑的结构内通过 RDL 技术将多件晶片组装在一起。这是一种晶片后上制程，因此晶片只会在扇出层完全制造出来以后被贴装到适当位置，而且会通过全面的 AOI 技术确定可用来贴装晶片的合适位置。这样做有助于提高良率。凭借更小巧的结构，SWIFT 设计能够以更低成本提供更出色的性能。它已经被广泛运用于移动应用，而且还适用于网络和高性能计算（HPC）应用。采用此种先进封装设计的主要驱动因素包括：

- ▶ 减小外观规格
- ▶ 增强信号完整性
- ▶ 出色的阻抗匹配
- ▶ 优化功率分布

图 3 显示的是基板 SWIFT 或 S-SWIFT（基板上 HDFO）结构的典型构造。一般来说，S-SWIFT 设计有 4 个 RDL（RDL 优先、芯片后上）结构，第 1 和第 3 层用于信号路由，第 2 层充当接地层。第 4 层则有多种用途，作为某个平面或用于铜柱（CuP）互连。

S-SWIFT 封装可以支持 30 到 80 微米凸块节距（典型），第 1-4 RDL 层的线宽/线距为 2/2 微米。有些客户考虑使用 SWIFT 技术来集成 ASIC 和小芯片（SerDes、HBM 及其他）。凭借其出色的电属性和灵活性，SWIFT 技术还是晶片分割模块的理想选择。图 3 显示多个层可以如何进行互连。

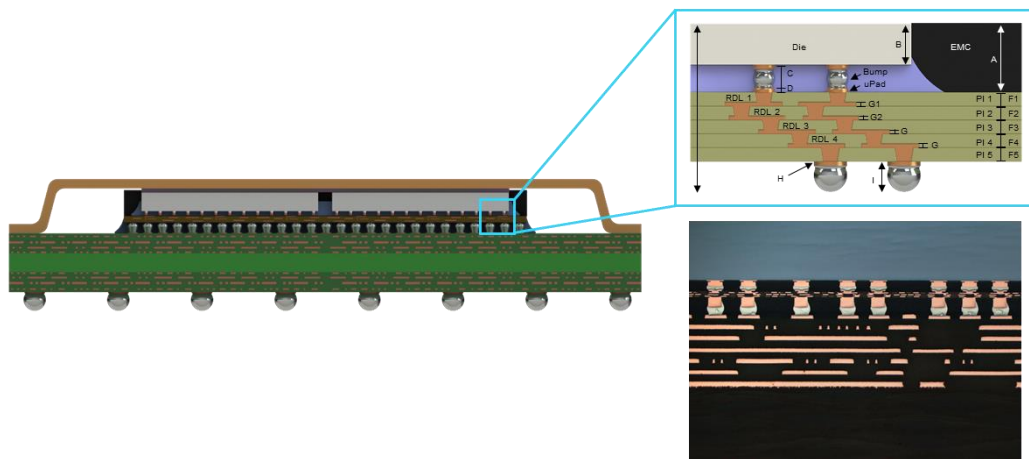


图 3. S-SWIFT® 封装采用多层铜和有机电介质 DRL。

观察网络器件的路线图，异构封装技术看起来有多种不同的形式（见图 4）。当今的网络交换机是 14 纳米或 7 纳米制程节点的单片 SoC，而且通常支持每秒 12.8 太字节（Tbps）容量。着眼于未来，不少公司都想迁移到更小的制程节点并支持 25.6 Tbps 容量。这种架构是异构集成的用武之地。随着芯片尺寸变大，促使将 ASIC 逻辑功能和 I/O 分离开来的动机也变得更强烈。为了提高系统内存带宽，越来越多 HBM 也开始在相同封装内和 ASIC 集成。SWIFT 封装可被用于集成 ASIC、SerDes 和 HBM。Amkor 相信，在不久的将来，硅光子也将成为此解决方案的一部分。

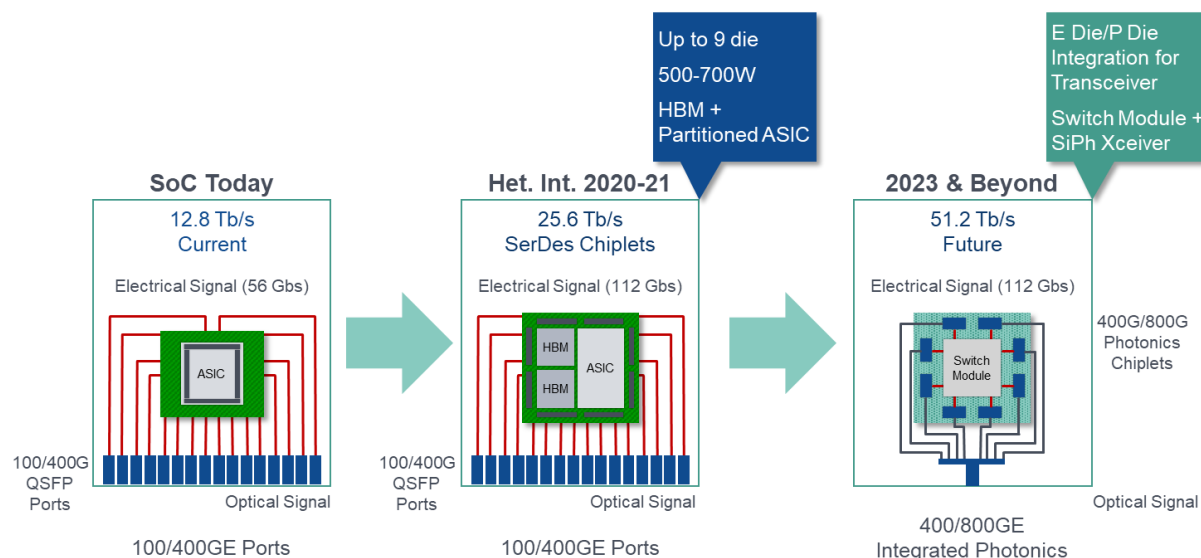


图 4. 交换机路线图的发展将实现集成硅光子解决方案。

从短期来看，客户想要使用现有的工具对高性能计算解决方案的成本进行优化。5 纳米和 3 纳米节点晶圆的高成本要求将大尺寸 ASIC 晶片分为两个部分，而在有些案例中，HDF0 或 RDL 模块还将包含 HBM。有别于其他逻辑部分，SerDes I/O 驱动器不需要较小尺寸几

何结构制程，因此将采用小芯片格式。整个解决方案将以倒装芯片球栅阵列（FCBGA）封装的形式实现，所选用的材料具有低消耗因数（Df）和低介电常数（Dk）属性，可进行高速信号传递。

硅光子技术正在快速进入交换机市场。硅光子构件在数据处理时可接受光信号，并将其转换成电信号或将电信号转换为光信号。部分挑战在于，此解决方案没有通用的架构。不同客户对不同技术的集成方式有偏好。大规模生产时的异构集成和光学校准及组装依然是行业要跨越的最大障碍之一。

先进封装的技术工具箱

无论是网络或高性能计算（HPC）应用，为了突破与大型异构解决方案相关的部分瓶颈，Amkor 开发出一套工具。Amkor 的工具箱包括：

1. 大尺寸封装，每面可达到 85 毫米
2. 多晶片组装和测试能力
3. 高级热界面材料（TIM）
4. 高性能 S-SWIFT 封装

电气仿真

由于 SerDes 支持 112 Gbps 速率，而且封装内的多件晶片可以相互通信，因此以准确的封装模型运行电气仿真变得至关重要。这些仿真应考虑电路路径以及功率分布网络。Amkor 有能力对信号路径进行精确建模，而且也已经为预期的电源噪声建立模型，帮助客户更好地理解封装对系统性能的影响。图 5 显示 Amkor 所采用的仿真设置。这些仿真包括信号路径以及接地和电源噪声。

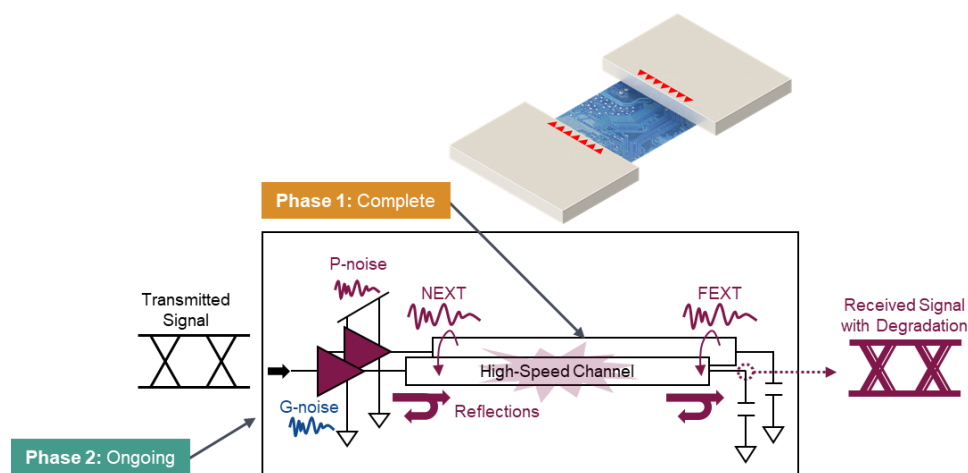


图 5. 功率分布网络（PDN）传输和信号完整性是先进封装的关键。

如图 6 所示，相对于介质层中的 2.5D 信号路由，S-SWIFT 封装的插入损耗要低得多。硅通孔 (TSV) 封装在芯片外传递信号。采用 2.5D 结构，客户可以预期在 4 GHz 左右有 3 dB 信号损耗。而 SWIFT 结构在 10 GHz 以下的插入损耗都不会超过 3 dB。这显示出 SWIFT 结构为应用提供了额外的设计裕度。

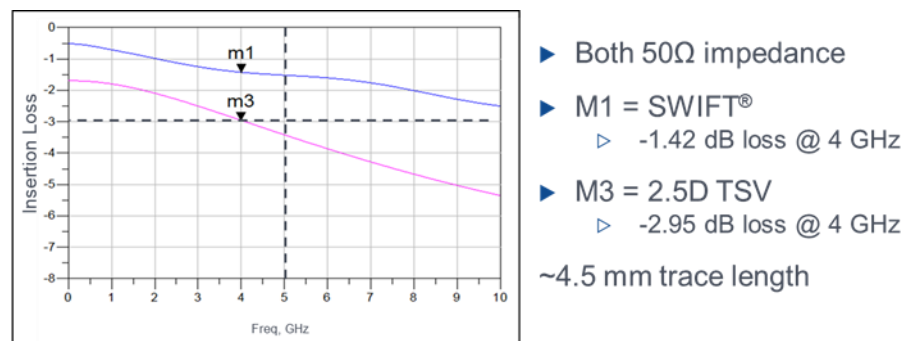


图 6. 在第 1 阶段测试期间，S-SWIFT® 封装在晶片间路由信号时的插入损耗比 2.5D TSV 低得多，尤其如果是高频率信号。

如图 7 所示，SWIFT 结构的损耗比 TSV 结构低。这些都是在封装外传递的信号。

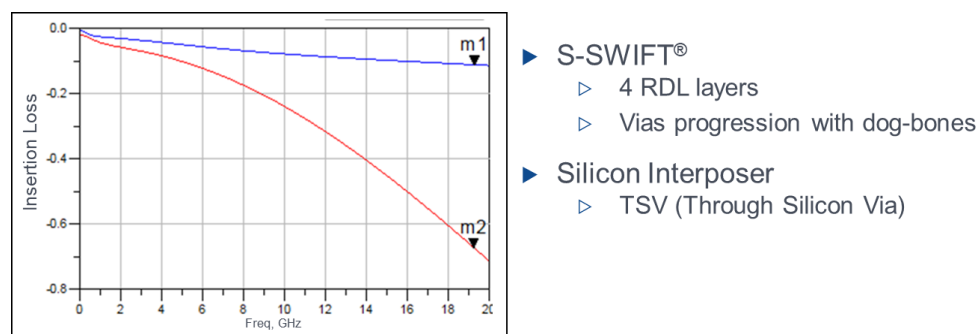


图 7. S-SWIFT® 封装的损耗远低于 2.5D TSV——封装外。

由于具有更多高速功能，有效的解决方案必须解决大量功率损耗的问题。损耗功率达到 500 瓦的案例也并非绝无可能。客户需要决定他们想要盖板解决方案，还是具有加强环的裸晶解决方案。硅和盖板材料之间或盖板和散热片之间的 TIM 材料在封装散热方面发挥着关键作用。为了提供合适的选项，我们正在进行开发，以便优化盖板的厚度和 TIM 材料的选择，包括更低成本铜冶金 TIM 的商业化。

翘曲是大尺寸异构封装的另一项挑战。翘曲是不可避免的，但可以对其进行限制，从而提高封装良率。激光辅助键合 (LAB) 便是改善该问题的技术之一。LAB 技术使用激光对晶片进行局部加热，然后将它焊接到基板上。LAB 的部分优点包括：

- ▶ 避免整体加热，并且最大限度降低 IC 和基板之间的热膨胀系数（CTE）不匹配
- ▶ 为大尺寸薄型基板提供出色的翘曲控制
- ▶ 减少侧壁焊接灯芯效应

图 8 显示了 LAB 技术在不同位置所表现出的性能。对晶片进行局部加热，凸块和低 k 层的压力水平会因为基板膨胀和收缩被最小化而降低。

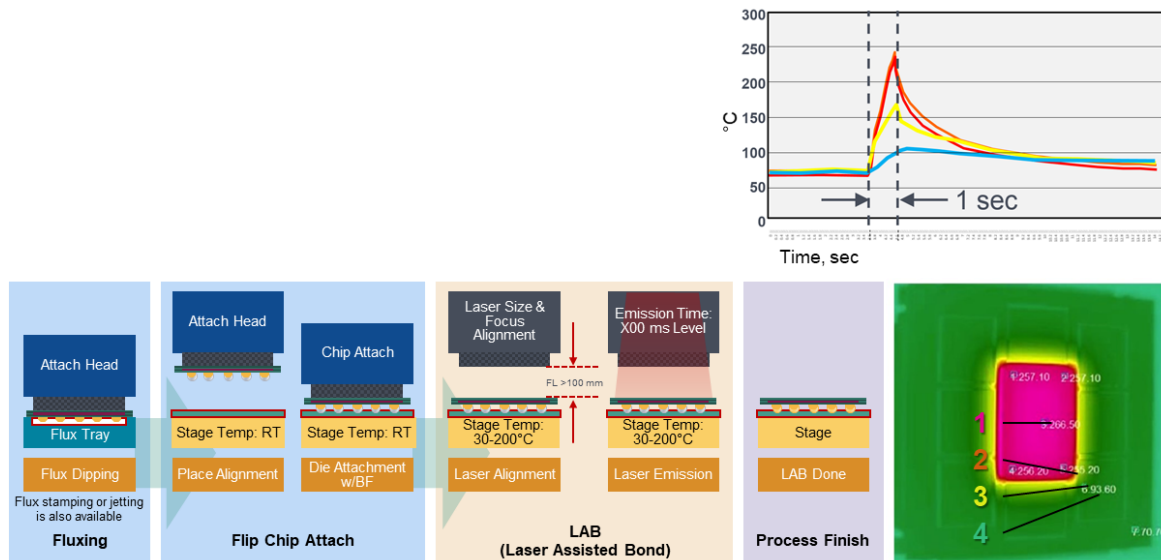


图 8. 在 HDFS 封装的不同位置采用激光辅助键合技术的剖面图。

作为我们的先进封装研究的一部分，尤其针对高速网络，Amkor 不断努力增加设计中的小芯片数量，同时放大 S-SWIFT 封装的尺寸。随着 HBMs 从 HBM2 发展到 HBM2E 并很快到 HBM3，Amkor 与客户的紧密合作帮助我们成为这个转型期中不可或缺的一部分。我们的其他工作还包括，计划以模块级别在新产品中使用嵌入式旁路电容。我们还希望通过 S-Connect 技术为极高密度互连提供 1/1 微米的线宽/线距。

在 Amkor，异构集成是我们大多数先进封装设计的基础。为了帮助客户满足当今网络系统所提出的越来越高的性能需求，我们提供各种不同的技术。持续开发将帮助提高信号传输、功率损耗以及长期可靠性方面的性能，同时满足未来网络对经济高效的封装解决方案的需求。

参考资料

[1] Cisco Visual Networking Index (VNI) Global and Americas/EMEAR Mobile Data Traffic Forecast, 2017-2022

[2] Heterogeneous Integration Roadmap, 2019 Edition, [Chapter 2](#): High Performance Computing and Data Centers, IEEE.

SWIFT 是 Amkor Technology, Inc. 的注册商标。

© 2020, Amkor Technology, Inc. 保留所有权利。