

# 향상된 네트워크 통신을 위한 최첨단 패키징

앰코테크놀로지 제품 마케팅 및 비즈니스 개발팀의 Vik Chaudhry, 첨단 패키지 및 기술 통합팀의 Mike Kelly 작성

데이터에 대한 글로벌 수요는 하루가 다르게 증가하고 있습니다. 링과 같은 보안카메라, 아마존이나 구글의 스마트 스피커, 로쿠와 애플플러스와 같은 스트리밍 기기 및 서비스를 포함하여 우리 주변에서 스마트 기기의 수는 더욱더 많아지고 이에 따른 데이터도 기하급수적으로 늘어나고 있습니다. 일부 추정에 따르면, 사물 인터넷 기기는 100억 개(그림 1)로 매달 30 엑사바이트(EB) ( $30 \times 10^{18}$  바이트)의 데이터를 전송하며 그 중 70%는 스트리밍 비디오가 차지할 것이라고 합니다. 이 영상 콘텐츠 데이터는 2022년에 80%까지 성장할 것으로 예상됩니다. 동시에 데이터 전송 속도는 5년쯤 후에 초당 1 테라바이트 이상에 다다를 것입니다[1].

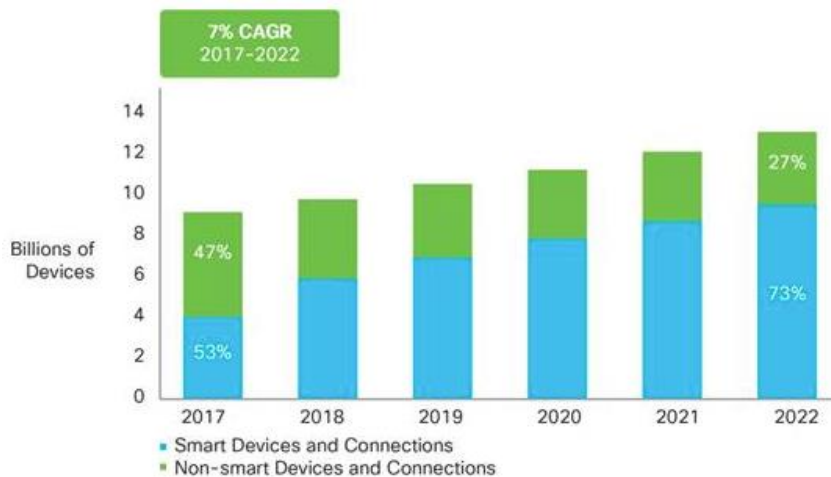


그림 1. 사물 인터넷 기기 100억 개에서 2022년 120억 개로 증가 예상

출처: Cisco VNI Mobile, 2019

많은 양의 데이터 전송은 정보를 전달하는 하이퍼스케일 데이터센터에 막대한 부담을 줍니다. 이러한 서비스가 증가할수록 데이터센터는 고객에게 지체없이 정보를 신속하게 전달해야 합니다. 즉, 데이터센터의 네트워킹 장치는 빠른 속도로 많은 양의 데이터를 처리해야 합니다.

가상화 및 소프트웨어 정의 네트워킹으로 인해 하이퍼스케일 데이터센터 내에서 여러 계층의 스위칭이 필요하게 되었습니다. 데이터는 소비자에게 다시 전송되기 전에 데이터센터에서 랙 상단(TOR)과 리프 및 스파인 스위치 사이를 이동합니다. 기존의 데이터센터에서는, TOR 와 함께 연결된 북-서 트래픽이 일반적이었습니다. 이와는 대조적으로, 하이퍼스케일 데이터센터는 SDN 과 더 많은 동-서 트래픽이 포함된 가상화를 활용하고 있습니다. 데이터가 많은 서버 사이에 분할되어 리프 및 스파인 스위치의 필요성이 증가하고 있습니다.

## 통합 패키징 솔루션

고성능 스위치의 성능 향상을 위해 서로 다른 빌딩 블록을 근접하게 하는 추세가 늘고 있습니다. 모든 빌딩 블록들이 시스템 온 칩(SoC)에 통합되는 기존 접근법에는 두 가지 문제가 있습니다. 첫 번째는 해당 SoC 가 레티클 크기보다 더 커질 수 있다는 점입니다. 7 nm 와 같은 최첨단 프로세스 노드를 사용하면 비용 또한 상당히 증가합니다. 두 번째는 다이가 커지면 수율이 빠르게 떨어진다는 것입니다. 이것은 이미 고가인 솔루션의 비용을 더욱 증가시킵니다.

이러한 문제점을 해결하기 위해, 엔지니어들은 하나의 패키지에 여러 개의 소형 다이를 통합하는 칩렛(Chiplet) 방식을 대안으로 고려하고 있습니다. 더 작은 프로세스 노드를 필요로 하는 로직 부분은 미세 노드를 사용하고, 그 외 아날로그나 시리얼라이저/디시리얼라이저(SerDes) 기능 또는 메모리는 더 큰 프로세스 노드 다이에서 설계 및 처리됩니다. 다양한 다이들은 여전히 하나의 패키지 내에 탑재됩니다. Chiplet 접근법을 통해 전반적으로 비용을 줄일 수 있으며 동시에 수율 및 성능도 향상시킬 수 있습니다. 또한, 일부 고객들은 로직 다이를 두 부분으로 분할하여 "다이-파티셔닝"을 하는 방식을 고려하고 있기도 합니다. 이는 큰 로직 다이에 대한 수율을 더욱 향상시킵니다.

그림 2 에서는 시스템 설계자가 어떻게 자신의 솔루션을 설계하는 지에 대한 예를 보여줍니다. SerDes 와 고대역폭 메모리(HBM)를 탑재한 주문형 집적회로(ASIC)는 완벽한 솔루션을 제공합니다. 한 패키지에 6~8 개의 HBM 적층과 같이 탑재하는 HBM 의 수가

증가하고 있습니다. SerDes I/O 칩은 프로세스 노드에서 잘 확장되지 않기에, 기존의 더 저렴한 실리콘 노드를 사용할 수 있는 Discrete I/O 칩을 사용합니다. 따라서 동일한 다이를 다른 제품에도 사용 가능하며, 단일 SoC 다이의 I/O 수보다 더 많은 I/O 를 가질 수 있어 IP의 재사용이 가능합니다.

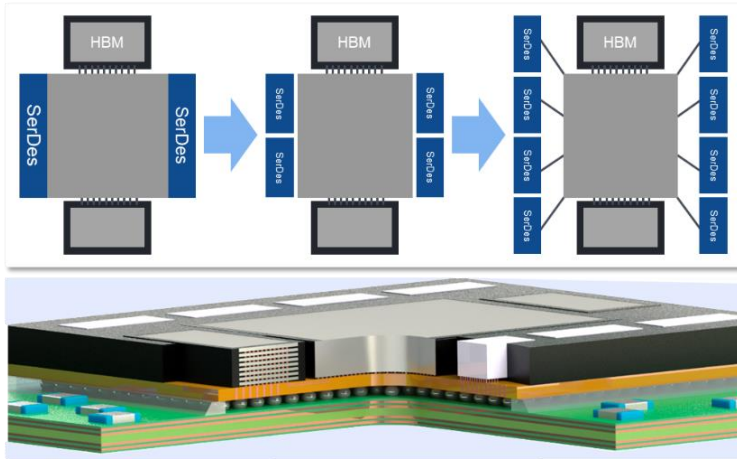


그림 2. Discrete I/O 및 IP 재사용의 예

다양한 유형의 반도체 기술을 패키지 레벨로 통합하거나 이종 집적화를 구현하기 위한 여러 방법들이 있습니다. 첫 번째 방법은 서브스트레이트에 여러 다이를 붙인 멀티칩 모듈(MCM)입니다. 두 번째는 고밀도 모듈을 사용하는 것이며, 실리콘 인터포저를 사용하여 서로 다른 다이를 연결하는 2.5D 구조가 예입니다. 또 다른 방법은 고밀도 팬아웃(HDFO) 기술을 사용하여 구리 및 유기 유전체로 인터포저를 제작하는 것입니다. 이 방법은 값비싼 인터포저 다이가 필요하지 않습니다. 그런 다음 HDFO 서브시스템 패키지를 서브스트레이트 위에 탑재합니다. 앰코는 이러한 유형의 패키지 타입을 S-SWIFT®(Substrate Silicon Wafer Integration Fan-out Technology)라고 부릅니다.

기능이 추가된 ASIC 다이는 전체 레티클 크기에 근접하게 됩니다. HBM 및 SerDes 칩이 통합된 일부 패키지 서브스트레이트는 현재 75 x 75 mm, 85 x 85 mm, 고밀도 모듈은 40 x 50 mm 크기에 달합니다. 추후 일부 패키지에 실리콘 포토닉스가 포함되어 각 면은 최대 100 mm 가 될 것입니다.

50 Gbps 를 초과하는 데이터율의 경우, 4 개의 레벨이 있는 펄스 진폭 변조(PAM4)를 사용하여 나이퀴스트 주파수를 낮추고 채널 손실을 감소시킵니다. 신호 대 잡음율(SNR) 감소와 PAM 과 관련된 전력 및 누화 문제 증가 방지를 위한 "인터커넥트 간격을 줄이기 위해 기기를 서로 가깝게 배치한 통합 패키지 시스템"은 SEMI 가 2019 년 발표한 이기종통합 로드맵[2]의 장기 솔루션입니다.

## 최첨단 멀티 레이어 패키징

SWIFT 패키징은 앰코가 2013 년에 개발한 고밀도 팬 아웃(HDFO) 기술입니다. 이 설계 기술을 사용하면 점점 더 작고 조밀한 구조에서 여러 다이를 RDL 기술과 함께 조립할 수 있습니다. 이는 다이 라스트 공정으로 팬아웃 층을 완전히 형성하고 철저한 AOI 기술을 사용하여 불량이 없는 위치에만 다이를 어태치하여 수율을 향상시켜 줍니다. SWIFT 설계는 더욱 작은 구조를 사용하여 저렴한 비용으로 더 나은 성능을 제공합니다. 이는 모바일 애플리케이션에 이미 널리 사용되고 있으며 네트워킹 및 고성능 컴퓨팅(HPC) 애플리케이션에도 사용할 수 있습니다. 이 고성능 패키징 설계는 아래와 같은 특징이 있습니다.

- ▶ 소형 폼팩터
- ▶ 향상된 신호 무결성
- ▶ 우수한 임피던스 매칭
- ▶ 전력 분배 최적화

그림 3 은 SWIFT 또는 S-SWIFT 의 전형적인 구조를 보여줍니다. 일반적으로, S-SWIFT 설계는 4 개의 RDL(RDL 퍼스트, 칩 라스트)로 이루어져 있으며 레이어 1 과 레이어 3 은 신호 라우팅에 사용되고, 레이어 2 는 접지 평면에 사용됩니다. 레이어 4 는 평면 또는 CuP(Copper Pillar) 인터커넥트 등 여러 용도로 사용됩니다.

S-SWIFT 패키지는 RDL 레이어 1~4 에 대해 2/2  $\mu\text{m}$  의 선폭으로 30 에서 80  $\mu\text{m}$  (일반)의 범프 피치를 지원할 수 있습니다. 몇몇 고객들은 ASIC 및 칩렛(SerDes, HBM 등)을 통합하기 위해 SWIFT 기술을 사용하기도 합니다. 뛰어난 전기적 특성과 유연성을

갖춘 SWIFT 기술은 다이 파티션 모듈에도 적합합니다. 그림 3은 여러 개의 레이어들이 어떻게 상호연결 되는지 보여줍니다.

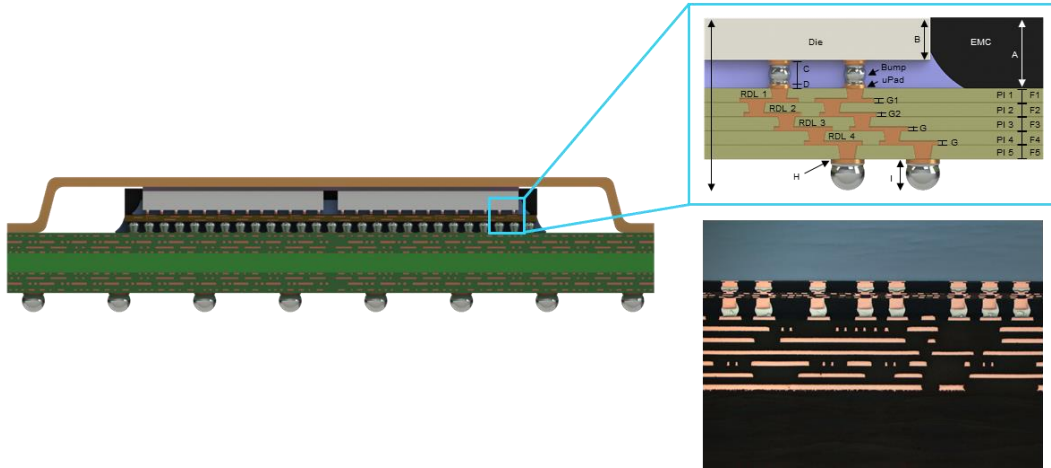


그림 3. 멀티 레이어 구리 및 유기 유전체 RDL 을 사용하는 S-SWIFT® 패키징

네트워킹 기기의 로드맵에 따르면 이종 패키징 기술은 다양한 형태로 구현될 수 있습니다(그림 4). 오늘날 네트워킹 스위치는 14 nm 또는 7 nm 프로세스 노드의 단일 SoC 로서 일반적으로 초당 12.8 테라비트(Tbps) 용량을 지원합니다. 더 나아가, 일부 업체들은 더 작은 프로세스 노드를 사용하여 25.6 Tbps 용량 지원을 검토 중입니다. 이 패키징 기술은 이종통합을 통해 차별화를 구현합니다. 칩 크기가 커지면서 I/O 에서 ASIC 로직 기능을 분리하려는 움직임이 대두되고 있습니다. 시스템 메모리 대역폭을 향상시키기 위해, HBM 은 단일 패키지 내에서 ASIC 와 통합되는 추세입니다. SWIFT 패키징을 통해 ASIC, SerDes 및 HBM 을 함께 통합할 수 있습니다. 머지않은 미래에 실리콘 포토닉스도 이러한 대안이 될 것이라고 앰코는 믿습니다.

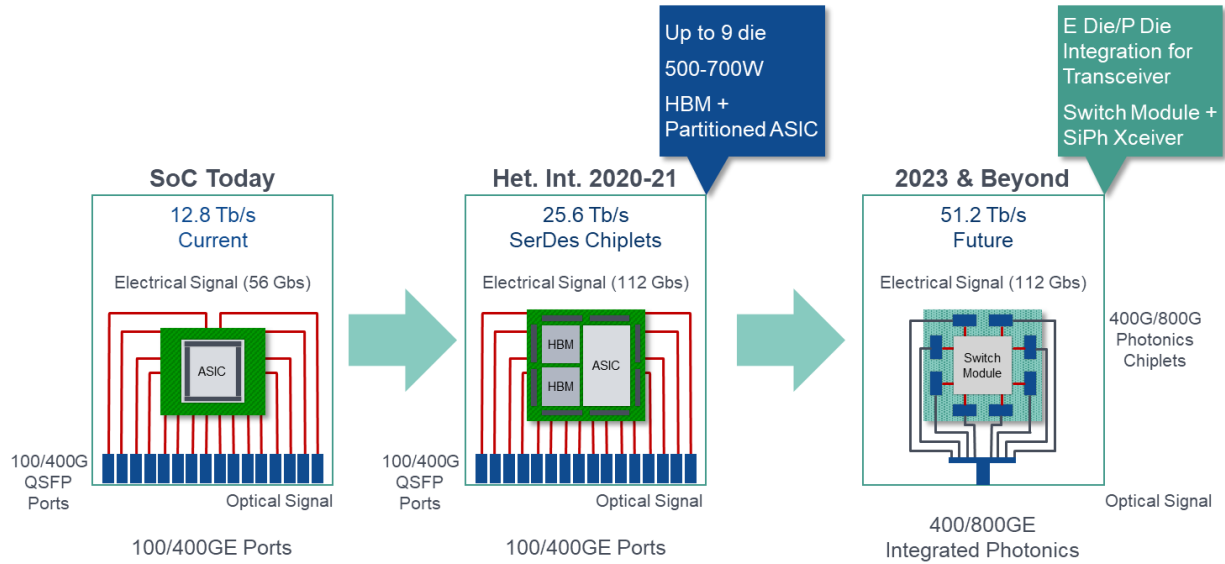


그림 4. 통합 실리콘 포토닉스 솔루션으로 이어질 스위치 로드맵의 진보

단기적으로 고객은 실행가능한 수단인 고성능 컴퓨팅 솔루션 비용을 최적화하려고 합니다. 비싼 5 nm 및 3 nm 노드 웨이퍼에서는 대형 ASIC 다이를 두 부분으로 분할할 필요가 있고, 경우에 따라 HDFO 또는 RDL 모듈을 사용하여 HBM 을 통합합니다. 로직처럼 고성능 노드가 필요 없는 SerDes I/O 드라이버는 칩렛 형태로 통합됩니다. 이는 빠른 신호전달을 위해 낮은 전력손실 인자(Df) 및 낮은 유전체 항수(Dk) 특성을 갖는 물질이 포함된 FCBGA 패키지 형태로 구현 가능합니다.

실리콘 포토닉스 기술이 스위치 시장에 빠르게 도입되고 있습니다. 실리콘 포토닉스 빌딩 블록들은 데이터 처리를 위해 광신호를 전기 신호들로 변환할 수 있으며, 그 반대도 가능합니다. 이 솔루션에는 보편적인 아키텍처가 없다는 점이 당면 과제입니다. 이러한 기술들을 통합하기 위해 여러 고객들이 다양한 방법을 사용하고 있습니다. 대량 생산을 위한 이종통합, 광학적 정렬 및 어셈블리는 여전히 업계의 큰 도전과제입니다.

### 최첨단 패키지용 기술 툴박스

네트워킹 또는 고성능 컴퓨팅(HPC) 애플리케이션 등 이종 솔루션과 연관된 병목 현상을 해결하기 위해 앰코는 다음과 같은 툴박스를 개발했습니다.

1. 각 측면 최대 85 mm 의 대형 패키지 크기

2. 멀티 다이 어셈블리 및 다이 테스트 기능
3. 열전달 물질(TIM)
4. 고성능을 위한 S-SWIFT 패키징

## 전기적 시뮬레이션

단일 패키지에서 112 Gbps 속도를 지원하는 SerDes 와 패키지 내에서 서로 통신하는 여러 다이가 통합되면서 정확한 패키지 모델을 사용하여 전기적 시뮬레이션을 실행하는 것이 중요합니다. 이러한 시뮬레이션은 전력 분배 네트워크뿐만 아니라 전기 경로도 고려해야 합니다. 앰코는 신호 경로를 정확하게 모델링할 수 있는 능력을 갖추고 있으며 고객이 시스템 성능에 미치는 패키지의 영향을 더 잘 이해할 수 있도록 예상되는 전원 공급 장치 소음도 모델링했습니다. 그림 5 는 시뮬레이션 목적에 따라 앰코가 사용하는 설정을 보여 줍니다. 신호 경로뿐 아니라 접지 및 전원 공급 장치 소음 모두 시뮬레이션에 포함됩니다.

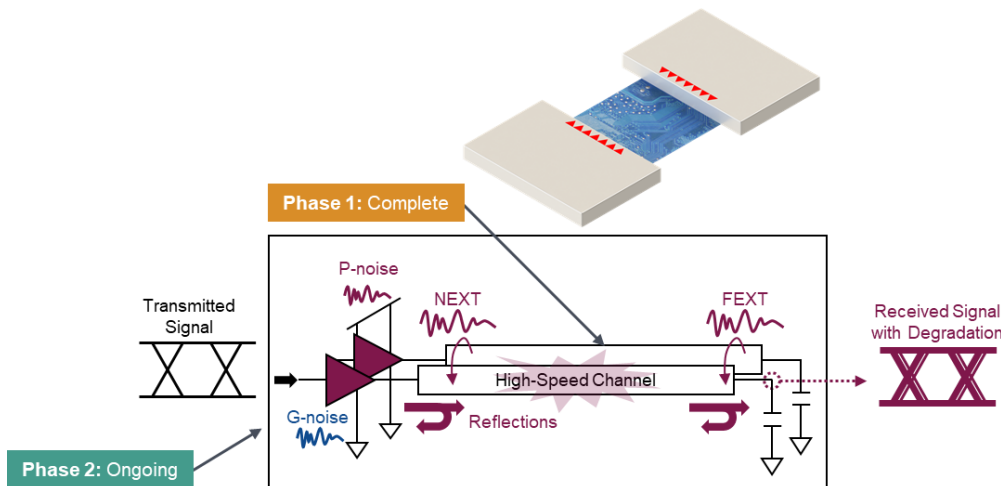
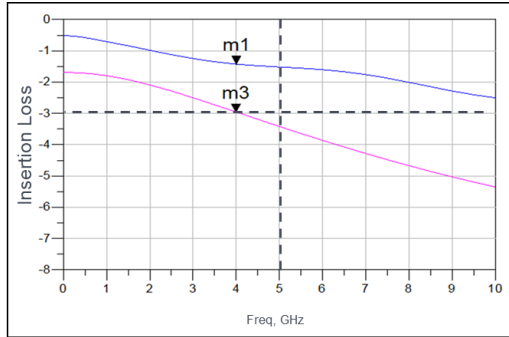


그림 5. 최첨단 패키징의 핵심인 전력 분배 네트워크(PDN) 전송 및 신호 무결성

그림 6 에 나타난 바와 같이, S-SWIFT 패키징은 인터포저에서의 2.5D 신호 라우팅과 비교하여 훨씬 더 낮은 삽입 손실을 보입니다. 오프칩은 Through Silicon Via(TSV) 패키징에 신호를 보냅니다. 2.5D 구조에서는 약 4 GHz 에서 3 dB 신호 손실이

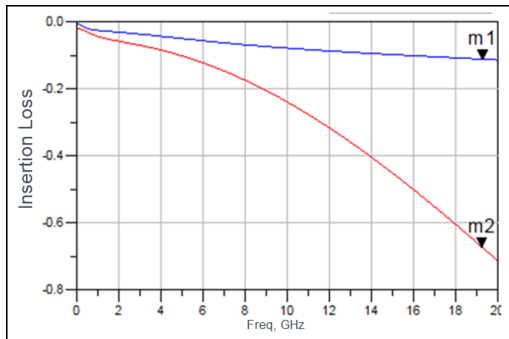
발생합니다. SWIFT 구조에서는 3 dB 삽입 손실 마크에 도달하기 전에 10 GHz 를 초과할 수 있습니다. 이는 SWIFT 구조에서 애플리케이션 디자이너가 예상할 수 있는 추가 마진이 될 것입니다.



- ▶ Both 50Ω impedance
  - ▶ M1 = SWIFT®
    - ▷ -1.42 dB loss @ 4 GHz
  - ▶ M3 = 2.5D TSV
    - ▷ -2.95 dB loss @ 4 GHz
- ~4.5 mm trace length

그림 6. 1 단계 테스트에서 다이 간 라우팅 신호 특히 고주파에 2.5D TSV 보다 훨씬 더 낮은 삽입 손실을 제공하는 S-SWIFT® 패키지

그림 7 에 나타난 바와 같이, SWIFT 구조는 TSV 구조와 비교하여 손실이 더 낮습니다. 이것들은 오프 패키지 신호입니다.



- ▶ S-SWIFT®
  - ▷ 4 RDL layers
  - ▷ Vias progression with dog-bones
- ▶ Silicon Interposer
  - ▷ TSV (Through Silicon Via)

그림 7. 2.5D TSV 오프 패키지보다 훨씬 더 손실이 낮은 S-SWIFT® 패키징

더 빠른 속도에서 더 많은 기능을 갖춘 효과적인 솔루션은 많은 양의 전력손실을 처리해야 합니다. 소모가 필요한 500W 의 전력을 이용하는 것은 전례가 없는 일입니다. 고객들은 솔루션에 리드를 사용할 지 또는 보강 링이 있는 베어 다이를 사용할지 결정해야 합니다. 실리콘과 리드 사이 또는 리드와 방열판 사이에 위치한



TIM 는 방열에 매우 중요합니다. 올바른 선택을 위해, 저렴한 인듐 금속 TIM 상용화를 포함하여 리드 두께와 TIM 재료 선택 최적화를 위한 몇 가지 개발이 진행 중입니다.

대형 이종통합 패키지는 뒤틀림이 발생할 수 있습니다. 뒤틀림을 방지할 수는 없지만, 패키지 수율 향상을 위해 이를 제한할 수는 있습니다. 관련 기술 중 하나는 레이저기반접합(LAB, Laser-Assisted Bonding)입니다. LAB 기술은 레이저를 사용하여 다이를 국부적으로 가열하고 서브스트레이트에 접합합니다. LAB 은 다음과 같은 장점이 있습니다.

- ▶ 벌크 가열을 방지하고 IC 와 서브스트레이트 사이의 열팽창 계수(CTE) 불일치 최소화
- ▶ 크고 얇은 서브스트레이트의 뒤틀림 방지
- ▶ 측벽 솔더 위킹 감소

그림 8 은 LAB 기술이 사용된 여러 결과들을 보여줍니다. 국부적 가열에 의해, 서브스트레이트 팽창 및 수축이 최소화됨에 따라 다이, 범프 및 로우 -k 층 응력 레벨들이 낮아질 수 있습니다.

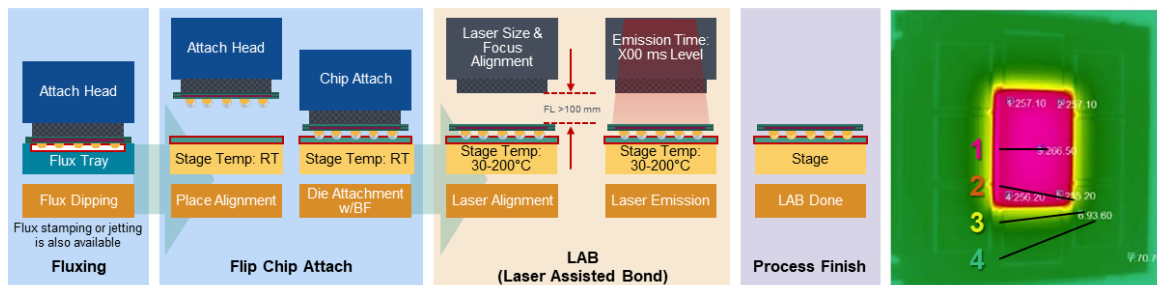
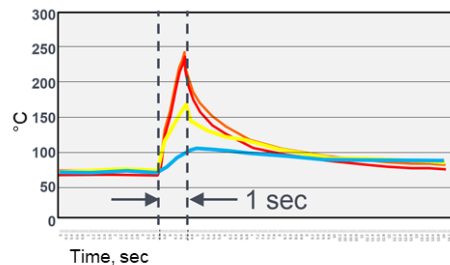


그림 8. HDFO 패키지에서 LAB 이 사용될 수 있는 공정

첨단 패키징 연구의 일환으로, 특히 고속 네트워크용 설계에서 칩렛 수 증가와 S-SWIFT 패키지 크기 확대를 위해 앰코는 지속적으로 노력하고 있습니다. HBM 이 HBM2 에서 HBM2E 로, 또 HBM3 로 이동함에 따라 앰코와 고객과의 긴밀한 협력은 더욱더 중요해지고 있습니다. 모듈 레벨에서 신제품에 내장 바이패스 캡을 사용하는 계획도 있습니다. 또한 초고밀도 인터커넥트에 1/1 의 선폭을 제공하는 S-Connect 기술도 검토 중입니다.

앰코에서 이종통합 패키징은 최첨단 패키징 설계의 기반이 됩니다. 오늘날 네트워크 시스템의 증가하는 성능 요구 충족을 위해 다양한 기술을 고객에게 이미 제공하고 있습니다. 지속적인 개발로 미래 네트워크를 위한 비용 효율적인 패키징 솔루션을 제공하며 동시에 신호 전송, 전력손실 및 장기적인 신뢰성 향상을 위해 노력할 것입니다.

## 참고 자료

[1] 시스코 비주얼 네트워킹 인덱스(VNI) 글로벌 및 아메리카/EMEAR 모바일 데이터 트래픽 예측, 2017-2022

[2] 이종통합 패키징 로드맵, 2019 발표, [제 2 장](#): 고성능 컴퓨팅 및 데이터 센터, IEEE.

앰코의 이름 및 로고는 Amkor Technology, Inc.의 등록상표입니다.

© 2020, Amkor Technology, Inc. All rights reserved.