

# DSMBGA 패키지를 통한 5G RF 프론트 엔드 모듈의 발전

저자: Curtis Zwenger, 앰코테크놀로지 첨단 SiP 제품개발부문 이사

2021년 9월-10월호 Chip Scale Review 발췌

5G 무선 기술의 도입으로 주파수 대역이 크게 증가하여, 스마트폰 등 5G 용 기기에 내장되는 RF 프론트 엔드(RFFE) 모듈 패키징에 대한 혁신적인 솔루션이 필요하게 되었습니다. 당사의 DSMBGA는 대표적인 솔루션 중 하나이며, DSMBGA의 양면 패키징 기술은 스마트폰 등 모바일 기기에 사용되는 RF 프론트 엔드 모듈 집적화 수준을 크게 향상시켰습니다. 일반적인 RF 프론트 엔드 모듈은 저잡음 증폭기(LNA), 전력증폭기(PA), RF 스위치, RF 필터 및 듀플렉서로 구성됩니다.

첨단 SiP 디자인 솔루션과 혁신적인 DSMBGA 기술로 안테나 튜너 및 수동소자와 같은 추가 구성 요소 집적화를 실현하여, 고성능 기기에 실장되는 마더보드의 성능을 향상시킬 수 있게 되었습니다.

## 5G 현황

5G는 전 세계 휴대전화 업체들이 2019년부터 도입하기 시작한 5세대 기술 표준이며, 이는 아래와 같이 3가지로 분류됩니다.

**저대역 5G (사물인터넷)** 저대역 5G는 4G 휴대 전화와 비슷한 주파수 범위(600-850MHz)를 사용하며 4G보다 약간 높은 다운로드 속도인 30-250Mbps를 제공합니다. 저대역 5G 기지국은 4G 기지국과 유사한 통신망 범위를 갖습니다. 이 범위 내의 패키징은 기존 제품과 유사할 수 있습니다.

**중간 대역 5G sub-6** 중간 대역 5G sub-6에 사용되는 제품은 4G 관련 패키징을 일부 개량한 형태입니다. 6GHz 이하 주파수 범위를 사용하는 제품은 기존 RF 패키징 구조를 약간 수정하여 BOM(Bill of Materials) 변경을 최소화하였습니다.

**5G mmWave** 5G 밀리미터파는 파괴적인 혁신 기술입니다. 24GHz보다 큰 밀리미터파 주파수의 도입은 새로운 패키징 구조와 플랫폼의 제품 적용을 가능하게 합니다. 안테나의 패키지 내부 집적이 그 예이며, 이러한 작업에는 주요 설계 변경 및 새로운 저손실 재료가 필요합니다.

5G 기술은 1) 이동 수단, 2) 사물인터넷(IoT), 3) 자동차(첨단 운전자 보조 시스템(ADAS)), 4) 고성능 컴퓨팅(HPC)/네트워킹, 그리고 5) 5G 네트워크 토폴로지 등 집적회로(IC) 시장 모든 주요 제품군의 발전을 가능하게 합니다. 5G는 새로운 세대의 기술 그 이상이며, 이는 보다 유연하고 유동적인 연결의 시대를 의미합니다. 5G 네트워크는 사용자의 필요에 따라 맞춤형 기능과 성능을 갖출 수 있도록 조성될 것입니다.

5G 용 스몰셀은 10 미터에서 수 천 미터의 소출력 커버리지를 갖는 저전력 소형 기지국 단말기입니다. 5G 고대역 주파수는 전파 도달 거리가 짧기에 스몰셀은 5G 네트워크 형성에 매우 중요한 역할을 합니다 [1].

기지국 컴퓨터는 빔포밍 기술을 통해 각 무선 기기에 도달하는 무선 전파들의 최적 경로를 지속적으로 계산하고, 각 기기에 도달할 밀리미터파를 생성하기 위해 여러 안테나를 위상배열로 구성합니다 [2].

에지 컴퓨팅은 최종 사용자에게 가까운 서버에서 컴퓨팅이 발생하도록 하는 개념입니다. 이러한 분산 컴퓨팅은 대기 시간 및 데이터 트래픽 정체를 줄입니다. 5G 생태계를 위해 클라우드 데이터 센터는 컴퓨팅 코어를 제공합니다. 그림 1 은 이러한 밀리미터파 사용으로 인한 변화를 보여줍니다.

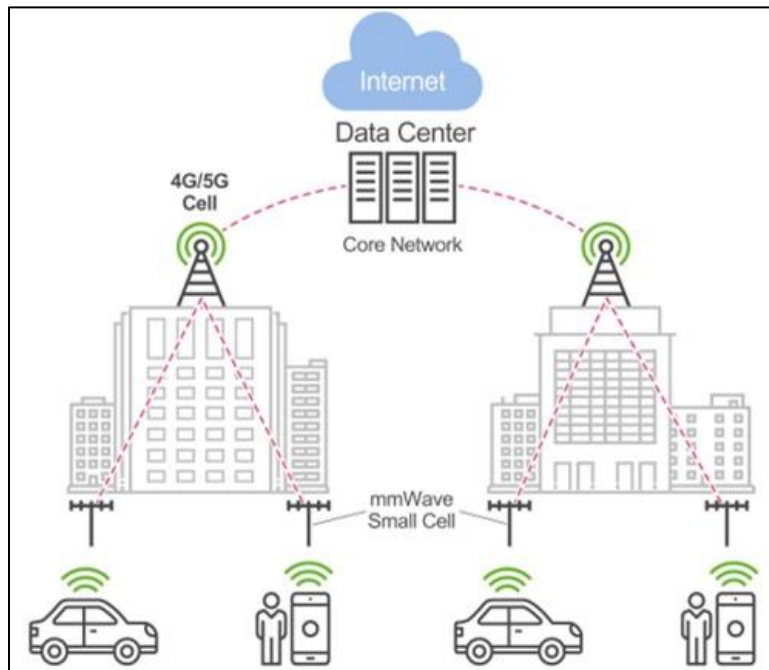


그림 1. 5G 통신 환경에서 빔포밍 기술을 통해 데이터 센터에 연결되는 스몰셀들

## 5G 시장 성장 전망

2025 년까지 전 세계 인구의 3 분의 1 이 5G 네트워크를 사용할 것으로 예상됩니다. 이 현상이 모바일 업계와 고객에게 미치는 영향은 엄청날 것입니다 [1]. 또한 2021 년 6 월호 Ericsson Mobility Report 에 따르면, 2026 년까지 5G 는 35 억 명 이상의 가입자를 보유하게 되며 대부분의 지역에서 4G 보다 더 빠르게 성장할 것으로 전망됩니다 [3].

시장조사 전문기관인 Yole Développement(Yole)에 의하면, 2026 년까지 5G RF FEM 의 첨단 패키징 시장 규모는 23 억 달러에 이를 것으로 예상되며, 연평균 성장률(CAGR)은 30%에 달할 전망입니다 [4].

Yole의 RF 장치 및 기술 분야 시장 분석가인 Antoine Bonnabel에 따르면, "5G가 등장하면서 FR1에는 3GHz 이상의 주파수 대역, FR2에는 밀리미터파 대역이 추가되는 등 주파수 변화가 생겼으며, 이러한 변화와 시스템 레벨 추세는 5G 적용 콘텐츠 수량과 구축 기술 플랫폼 모두에 지대한 영향을 미치고 있습니다."라고 설명했습니다 [5].

## RF 프론트 엔드 집적화 발전 과정

다음 섹션에서는 5G 패키징의 향후 과제와 이를 해결할 수 있는 도구들에 대해 논해 보고자 합니다.

**5G IC 패키징 과제** 5G 시스템을 위한 첨단 패키징은 RF, 아날로그/디지털 기능과 수동소자 등 시스템 구성요소를 단일 모듈에 집적화해야 합니다. 이기종 집적화(HI)라는 이름으로 이를 구현하는 첨단 SiP 솔루션은 다음을 포함한 여러 가지 이유로 5G 구현에 더욱 중요합니다.

- a) 트랜스시버 IC 및 기타 회로와 안테나 집적화
- b) 패키지 기술의 발전을 통해 6GHz 이하의 주파수 범위 1(FR1) 추가
- c) 새로운 밀리미터파 대역 주파수 범위 2(FR2)를 통해 필터, 다이플렉서, 브로드밴드 증폭기 및 스위치를 포함한 RF 회로 집적화 주도
- d) 기존 RFFE에 대한 추가 모듈을 구현하기 위한 최적의 소형화 및 구성 요소 집적화

패키지의 추가 소형화를 위해 트랜스시버와 프론트 엔드 모듈은 더욱 밀착되어야 합니다. RF 모듈 내의 안테나 또는 안테나 인 패키지(AiP) 설계의 패키지 레벨 집적화뿐만 아니라 능동 소자를 적절한 온도로 유지해 주는 동시 방열 모델링은 이를 처리하는 데 도움이 됩니다. 전력 증폭기와 안테나 배열 집적화는 패키지 디자인의 크기, 비용 및 성능 문제 해결에 매우 중요합니다. 패키지 설계자들은 이를 위해 미세 라인 기능과 정확한 레이어 대 레이어 등록을 통한 다층 제작 및 전도성 손실을 최소화하기 위한 첨단 저손실 재료 사용과 회로/디바이스/패키지/열 성능을 동시 시뮬레이션 합니다.

더 높은 전력과 주파수를 사용하는 3D 패키지 집적화에는 다양한 회로 블록 간에 탁월한 절연이 필요합니다. 또한 대량 연결을 구현하기 위해 수백만 개의 기지국에 사용되는 고효율 증폭기 및 대형 안테나 배열의 제조 비용을 해결해야 합니다 [6].

**5G RF 패키징 기술 툴박스** 복잡한 5G RF 프론트 엔드 모듈의 기술 요구사항을 충족하기 위해서는 첨단 패키지 집적화 기술이 필요하며, 첨단 SiP 기술 툴박스는 이를 해결합니다. 그림 2는 효과적인 5G 기술 툴박스의 주요 구성 요소들을 보여줍니다.



그림 2. 다양한 도구를 집적화하는 첨단 RF 패키징 기술 툴박스

다양한 다중화 기술과 결합된 새로운 주파수의 증가는 RF 프런트 엔드의 복잡성을 크게 증가시킵니다. SiP 를 사용한 집적화는 고객이 RF 서브시스템을 설계, 튜닝 및 테스트할 수 있게 하여 설계상의 시행착오를 줄이고 출시 시간을 단축시킵니다.

첨단 SiP 패키지 집적화는 다양한 이유로 5G 패키징에 활용되고 있습니다 [7].

- ▶ 시스템 설계자를 위한 유연성 향상 - 각종 IC 기술의 운용, 각 기능 블록의 성능 최적화, 비용 절감
- ▶ SoC 방식에 비해 시장 출시 시간 단축
- ▶ 신호가 통과하는 회로를 패키지 기판으로 옮겨 마더보드 구조 간소화
- ▶ 개선된 성능 - 다양한 IC 와 수동 소자의 근접 배치는 라인 길이 축소로 이어져 저항(R), 인덕터(L) 및 커패시터(C) 손실을 줄여, 신호 무결성 증가 및 전력 소비 감소
- ▶ 시스템 비용 절감 - 개별 패키지에 비해 최적화된 SiP 솔루션을 이용하여 전반적인 시스템 비용 절감
- ▶ 기기의 소형화 - 다수의 다이를 단일의 SiP 로 집적화함으로써 기기 소형화
- ▶ 소형 폼팩터 - 여러 다이와 수동 소자를 단일 SiP 에 집적화하여 서브시스템 소형화
- ▶ 신뢰성 향상 - 솔더 연결부 스트레스를 감소시키는 SiP 몰딩으로 기판/인쇄 회로 기판(PCB)에 조립된 개별 부품에 비해 더 나은 솔더 조인트 연결

## DSMBGA 의 도입

5G 프런트 엔드 모듈에 필요한 높은 수준의 집적화를 위해 기존 한 면만 사용하는 SiP 패키지 기술의 발전이 필요하게 되었고, 다양한 패키지 기술의 조합을 통해 DSMBGA(Double-Sided Molded Ball Grid Array) 패키지가 탄생하게 되었습니다. 해당 패키지 개발은 2018 년부터 시작되었으며, 2020 년 5 월 첫 양산에 돌입했습니다. 그림 3 은 FEMiD 와 PAMiD 의 구조를 보여줍니다.

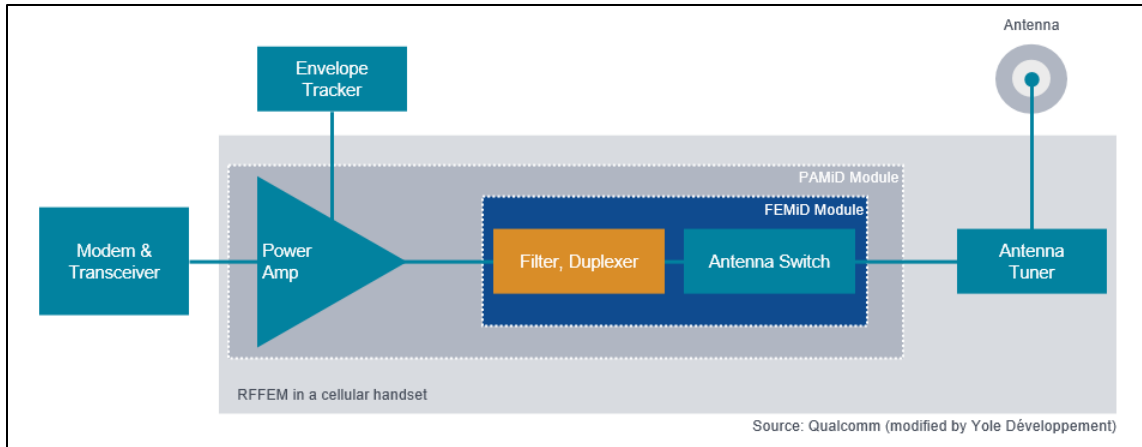


그림 3. 휴대 전화 핸드셋 PAMiD 에 집적화된 FEMiD 및 PA. 출처: Yole Développement SA

앞서 언급한 높은 수준의 집적화를 위해, DSMBGA 프론트 엔드 모듈에 여러 기술들을 접목했습니다. 업계 최고 설계와 스트립 그라인딩, 몰드 언더필(MUF) 및 양면 몰딩 기술을 조합하여 패키지를 크게 축소했습니다. 그 외 EMI(전자파 간섭) 차단과 감소를 위한 최첨단 컨포멀 및 컴파트먼트 차폐와 강력하고 비용 효율적인 어셈블리 기술 제공을 위한 인라인 RF 테스트 실행을 개선하였습니다. 그림 4는 RF 프론트 엔드 패키지에 적용된 광범위한 기술들과 주요 성능을 보여줍니다. DSMBGA 패키지는 추가 전력 증폭 및 필터링 회로를 통해 신호 무결성을 개선하고 손실을 줄여 Rx/Tx 증폭 성능을 개선하며 시스템 소비 전력을 감소시킵니다.

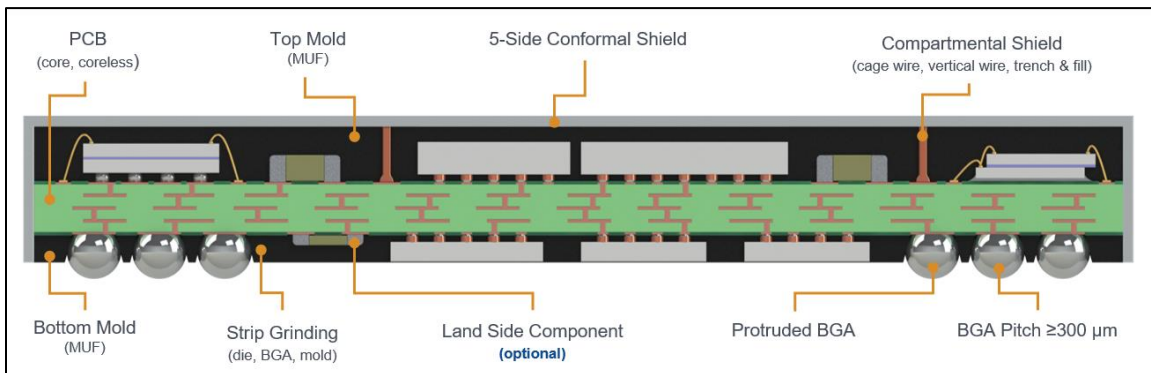


그림 4. 상단 및 하단 모두에 몰드 언더필을 적용하는 DSMBGA 지원 기술

## 첨단 SiP 디자인

모든 IC 패키지 기술의 중요한 벤치마크는 디자인 규칙입니다. DSMBGA는 최신 SiP 설계가 적용되어 고도로 집적화된 소형 폼팩터를 구현합니다. 그림 5는 패키지 소형화를 위한 전형적인 SiP 설계를 보여줍니다. 패키지 및 구성 요소의 최소 간격은 패키지/구성 요소의 물리적 허용 오차, 조립 공정 견고성 및 사용된 조립 재료와

결합된 기판 공급업체의 공정 능력(예: 솔더 마스크 부착)과 직접적인 관련이 있습니다. 예를 들어, 소자의 기판 박리 현상을 방지하기 위해, 본드 패드의 구조, 솔더 페이스트 스텐실 설계 및 솔더 페이스트 등 관련 요소가 양산에 최적화되어야 합니다. 몰드 언더필(MUF)은 일반적으로 공정 비용을 감소하고 패키지 내 간격 요구사항을 줄이기 위해 사용됩니다. 고수율의 제조 과정을 위하여, 몰드 기술(예: 압축 또는 전환 몰딩법), 몰드 공정 파라미터(예: 전환 시간, 압력, 온도) 및 몰드 화합물 재료를 신중하게 선택하고 최적화해야 합니다. 기판의 솔더 마스크 두께 제어 및 전략적으로 배치된 솔더 마스크 금지 구역은 몰드 언더필의 품질과 패키지의 장기적인 신뢰성 유지에 도움이 됩니다.

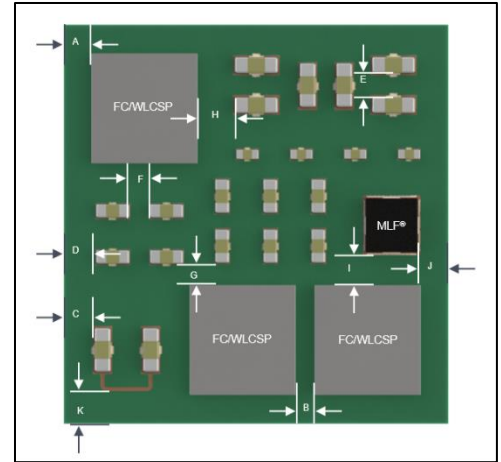


그림 5. 일반적인 SiP 설계

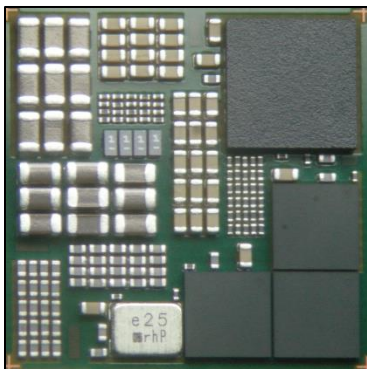


그림 6. 첨단 SiP 설계 규칙 검증 테스트 장치 예

첨단 패키지 디자인은 광범위한 프로세스 최적화, 작업 기술 분석 및 소자/보드 레벨 신뢰성 테스트를 통해 엄격하게 검증됩니다. 그림 6은 다양한 크기의 플립 칩 CSP(Chip Scale Package)와 수동소자를 포함하는 일반적인 첨단 SiP 테스트 장치(TV)를 보여줍니다. SMD(Solder Mask-Defined)와 NSMD(Non-Solder Mask-Defined) 본드 패드가 TV에 결합되어 구성 요소/패키지 스탠드오프, 박리 가능성 및 MUF 성능을 검증합니다. 그 후 조립된 TV는 고온 저장(HTS), 사전 컨디셔닝, 온도 사이클링(TC) 및 uHAST(Unbiased HAST)를 포함한 구성 요소 레벨 신뢰성 테스트의 일반적인 과정을 거칩니다. 보드 레벨 신뢰성은 온도 사이클링 및 낙하 충격 테스트를 통해서도 검증됩니다.

## EMI 차폐

DSMBGA 패키지 내 신호 무결성 유지는 시스템 성능 보장에 필수적입니다. IC와 주변 회로에서 전기적 방해 및 신호 저하 발생을 최소화하기 위해 혁신적인 전자기/무선 주파수 간섭(EMI/RFI) 차폐가 구조에 집적화되어야 합니다. 그림 7은 DSMBGA 패키지에 집적화된 EMI 차폐 기술의 일부를 보여줍니다.

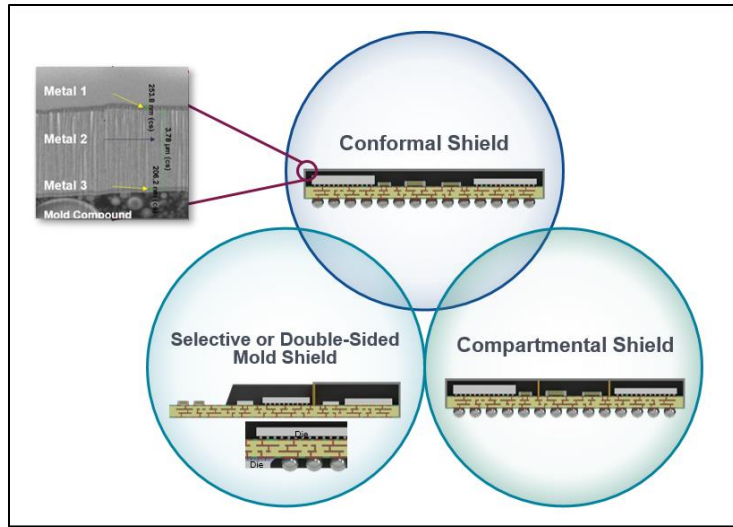


그림 7. 패키지 내부 및 주변의 전기적 방해를 최소화하는 EMI/RFI 차폐 기술

업계에서 가장 선도적인 물리적 기상 증착법(PVD)을 이용하여, 얇은 금속 스택업이 패키지 외부 표면에 부착되고 DSMBGA 유기 기판 내 노출된 평면에 연결됩니다. 이 전도성 EMI 차단 기술을 컨포멀 차폐라고 합니다. 최첨단 마스킹 기술들을 통해, 컨포멀 차폐는 필요한 경우 패키지의 일부 영역에만 적용될 수도 있습니다. 컴파트먼트 차폐는 DSMBGA 패키지에 사용되는 또 다른 EMI 차단 기술입니다. 컴파트먼트 차폐는 패키지 내 분할과 함께 소자 간 차폐 적용 가능한 디자인을 선보입니다.

컴파트먼트 차폐 기술은 "트렌치 앤드 필"이라는 이름으로 더 잘 알려져 있습니다. 정교한 와이어 본드 기술을 활용하여 몰드 패키지 내에 와이어 펜스, 와이어 케이지 또는 수직 와이어 구조를 생성하는 보다 발전된 컴파트먼트 차폐 기술이 개발되었습니다. 스트립 그라운드 또는 레이저 어블레이션 프로세스를 통해 와이어를 드러냅니다. 그리고 컨포멀 차폐를 통해 패러데이 케이지 효과를 생성하여 와이어 구조가 전기장과 전자기파를 차단합니다 [8]. 이 EMI 차폐 구조는 그림 8에 나와 있습니다.

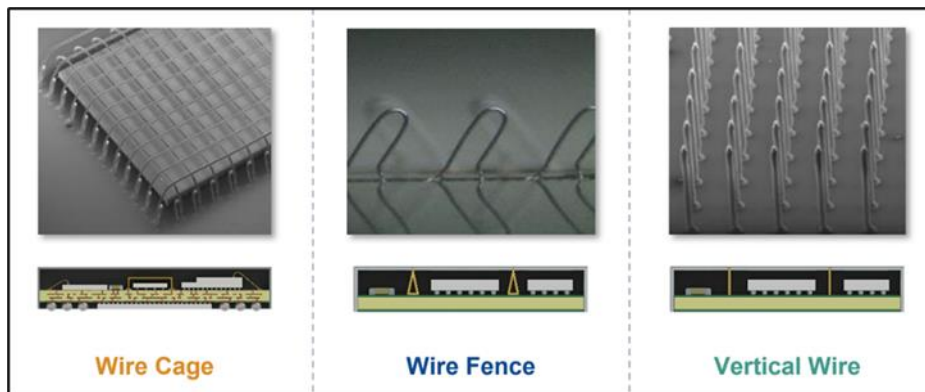


그림 8. 시스템 성능 향상을 위한 DSMBGA 패키지용 EMI 차폐 기술

컨포멀 차폐 기술 적용 시, 고품질 및 고수율 보장을 위해 엄격한 관리가 필요합니다. 이를 위해 PVD 가 패키지 레벨 프로세싱에 맞게 조정됩니다. 그림 9는 컨포멀 차폐 기술을 보여줍니다. FIB(Focused Ion Beam, 집속 이온 빔)는 금속 스택 두께를 검증하는 데 사용됩니다. 5면 도표의 경우 효과적인 EMI 차폐를 위해 정확하고 재사용 가능한 상단 표면 및 측벽 코팅이 형성될 수 있도록 PVD를 최적화해야 합니다. 그림 9는 차폐 및 비차폐 패키지 간의 EMI 차폐 효과 비교를 보여줍니다.

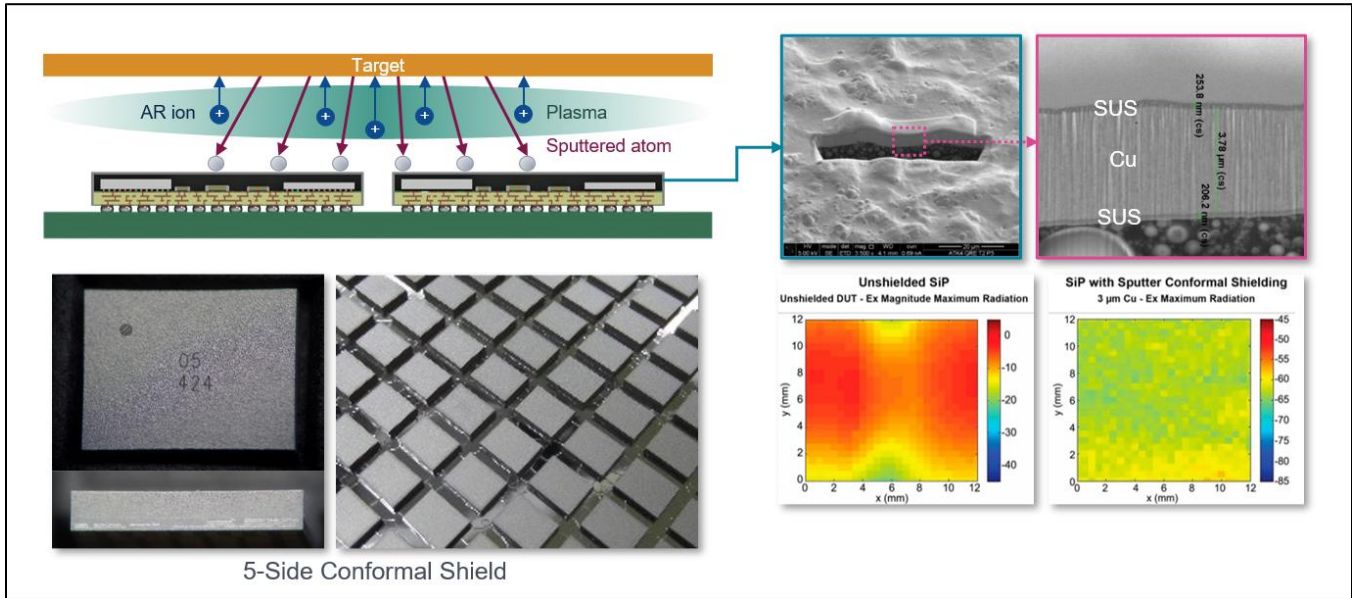


그림 9. 컨포멀 차폐 및 EMI 방사 억제 효과

## 5G 프런트 엔드 모듈의 발전 및 로드맵

소자 레벨 집적화를 필요로 하는 거의 모든 5G RF 시스템 회로는 DSMBGA 패키지가 제공하는 크기, 비용 및 성능 이점을 활용할 수 있습니다. 오늘날 사용되는 대부분의 DSMBGA 패키지는 PAMiD 제품용입니다. 이러한 제품은 프런트 엔드 모듈 회로가 그다지 복잡하지 않았기 때문에(예: 3G 애플리케이션) 단면 SiP 설계로 제공되었습니다.

4G LTE의 등장으로 중/고대역 전력 증폭 및 필터링 회로는 단말기 하나에 최대 5개의 RF 프런트 엔드 모듈 장착을 요구하게 되었습니다. 이는 DSMBGA의 전신이자, IC가 패키지 하단에 장착되는 DSBGA(Double-Sided BGA) 패키지를 발전시켰습니다. 이를 통해 단면 SiP 구조를 사용하는 다른 반도체에 비해 상당한 소형화를 이룰 수 있게 되었습니다. 그 후, 5G 셀룰러 주파수의 발전과 함께 초 광대역(UWB) 도입으로 프런트 엔드 모듈의 복잡성은 더욱 증가했습니다.



이러한 다중 대역 지원을 위해 5G Sub-6GHz 및 5G 밀리미터파 애플리케이션에는 각각 최대 7 개와 9 개의 프론트 엔드 모듈이 필요합니다. 이에 따라 DSMBGA 패키지가 출시되었습니다. 최신 DSMBGA 패키지는 최초의 중/고대역 PAMiD 보다 거의 50% 감소한 크기입니다. EMI 차폐, 플립칩 PA 및 DSMBGA 패키징과 같은 혁신 덕분에 PAMiD 공급업체는 동일한 시스템을 더 작은 공간에 집적화할 수 있게 되었습니다 [9]. 그림 10 은 5G 스마트폰용 RF 프론트 엔드 모듈 집적화의 발전과 로드맵을, 그림 11 은 DSMBGA 패키지의 5G PAMiD 제품 예를 보여줍니다.

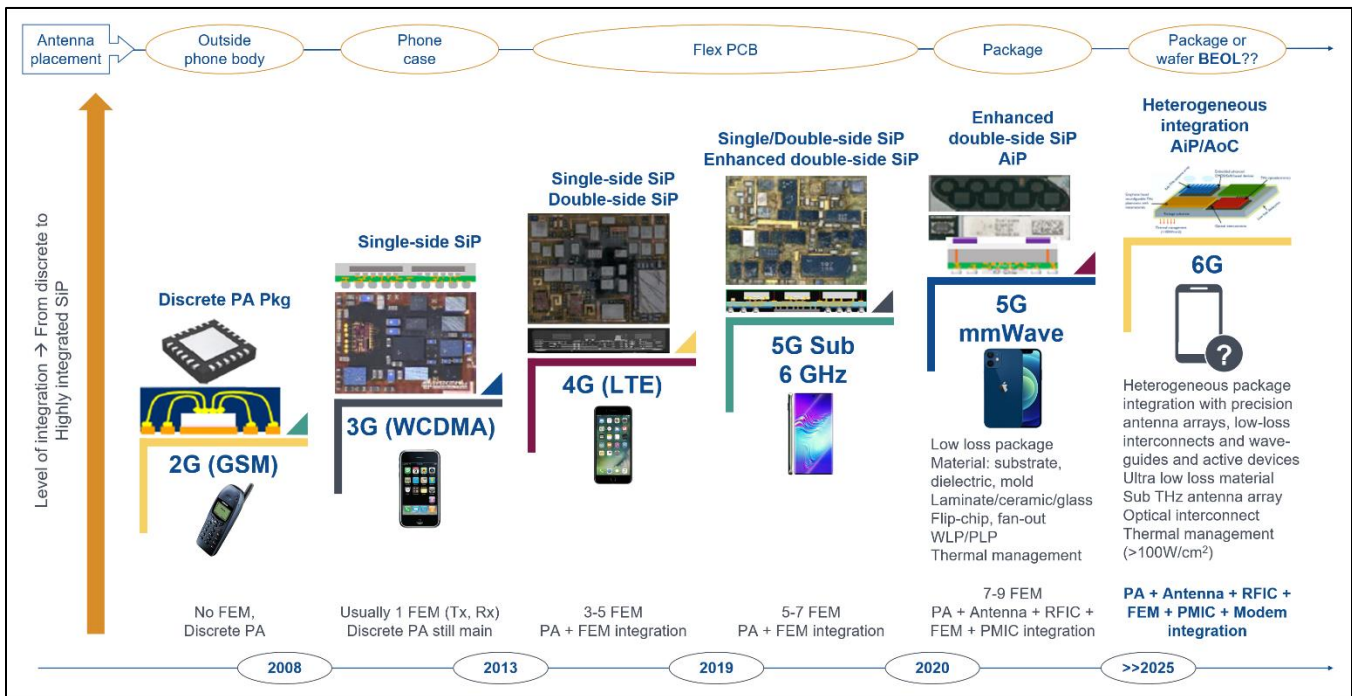


그림 10. 스마트폰 패키징 집적화 발전과 동향. 출처: 스마트폰용 5G 패키징 경향 보고서(www.yole.fr)[6]

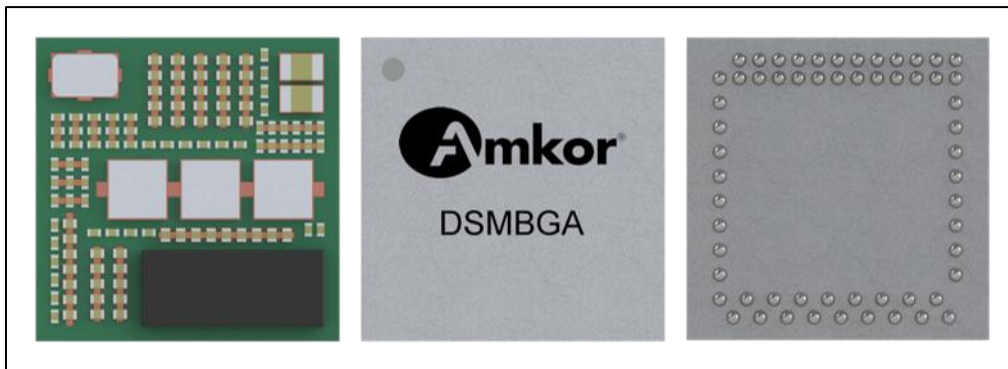


그림 11. MUF 전, MUF 및 EMI 차폐 후 상단 및 하단 레이아웃을 보여주는 PAMiD DSMBGA 제품 예

## 요약

첨단 SiP DSMBGA 플랫폼은 이 분야의 산업 기술 표준이 되었습니다. 3D 소자 배치, 양면 몰딩, 컨포멀 및 컴파트먼트 차폐 그리고 인라인 RF 테스트를 위한 최첨단 디자인 적용을 통해 소형 폼팩터에서 고수율의 집적화 수준을 제공합니다.

우수한 SiP 성능 및 DSMBGA 기술 외에도, 앰코는 성능을 극대화하고 5G 애플리케이션 생산에 필요한 정교한 패키지 포맷을 처리하기 위한 광범위한 툴셋을 개발했습니다. 여기에는 AiP, 서브스트레이트 내장 다이, 웨이퍼 레벨 SiP 및 다양한 RF 차폐 옵션이 있습니다. RF 모듈 설계, 특성화 및 벤치 테스트에 대한 앰코의 전문 지식이 결합된 이 툴셋은 5G 네트워크용 고급 패키지 어셈블리 및 테스트 기술과 여러 IC 집적화 과제(상당한 투자 포함)를 아웃소싱하고자 하는 고객에게 앰코만의 독자적인 서비스 제공을 가능하게 합니다.

5G 용 패키지 수요가 증가함에 따라, 앰코는 1년 이상 대량 시장을 위해 생산된 DSMBGA 기술을 성공적으로 구현하고 있습니다.

---

## 참고 자료

- [1] "5G Global Launches & Statistics," [https://www.gsma.com/futurenetworks/ip\\_services/understanding-5g/5g-innovation/](https://www.gsma.com/futurenetworks/ip_services/understanding-5g/5g-innovation/), GSMA.
- [2] A. Nordrum, K. Clark, "Everything you need to know about 5G," IEEE Spectrum magazine, Jan. 27, 2017, Institute of Electrical and Electronic Engineers.
- [3] "Ericsson Mobility Report, June 2021," <https://www.ericsson.com/en/mobility-report/reports/june-2021>, Ericsson.
- [4] "5G Packaging Trends for Smartphones 2021," [www.yole.fr](http://www.yole.fr), Yole Développement SA, 2021.
- [5] "Cellular RF Front-End Technologies for Mobile Handset 2021," [www.yole.fr](http://www.yole.fr), Yole Développement SA, 2021.
- [6] A. O. Watanabe, M. Ali, Sk Y. B. Sayeed, R. R. Tummala, P. M. Raj, "A review of 5G front-end systems package," IEEE Trans. on Components, Packaging and Manufacturing Tech. (Vol.: 11, Issue: 1, Jan. 2021).
- [7] "System-in-Package Technology and Market Trends 2020," [www.yole.fr](http://www.yole.fr), Yole Développement SA, 2020.
- [8] S. J. Chapman, D. P. Hewett, L. N. Trefethen, "Mathematics of the Faraday Cage," [https://people.maths.ox.ac.uk/trefethen/chapman\\_hewett\\_trefethen.pdf](https://people.maths.ox.ac.uk/trefethen/chapman_hewett_trefethen.pdf), SIAM Review, Vol. 57, No. 3, pp. 398-417.
- [9] "5G Packaging Trends Smartphones 2021," [www.yole.fr](http://www.yole.fr), Yole Développement SA, 2021.

## 약력

### Curtis Zwenger, 앰코테크놀로지 첨단 SiP 제품 개발 부서 이사



Curtis 는 1999 년 앰코에 입사했으며, 몰드 비아와 웨이퍼 레벨 패키징 기술과 함께 앰코의 미세피치 Cu Pillar 개발을 주도해 왔습니다. 그는 현재 첨단 SiP, MEMS/Sensor 및 메모리 제품 개발을 담당하고 있습니다. Curtis 는 IMAPS Symposium on Microelectronics 2019 의 의장이었으며, IMAPS 집행위원회 이사로 활동하고 있습니다. 그는 수많은 기술 기사와 논문을 저술하고 최근 출간된 저서 "내장형 및 팬 아웃 웨이퍼 레벨 패키징 기술의 발전" 에서 한 챕터를 공동 집필했습니다. 그는 30 개의 미국 특허를 출원했으며, 콜로라도 주립 대학교에서 기계공학 학위를 그리고 피닉스 대학교에서 MBA 를 취득하였습니다.

---

앰코테크놀로지의 DSMBGA 패키지에 대한 자세한 정보는 <https://amkor.com/dsmbga> 를 참조하십시오.